

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-249630

(43)Date of publication of application : 05.09.2003

(51)Int.Cl.

H01L 27/105

H01L 43/08

(21)Application number : 2002-352784

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.12.2002

(72)Inventor : HOSOYA KEIJI

(30)Priority

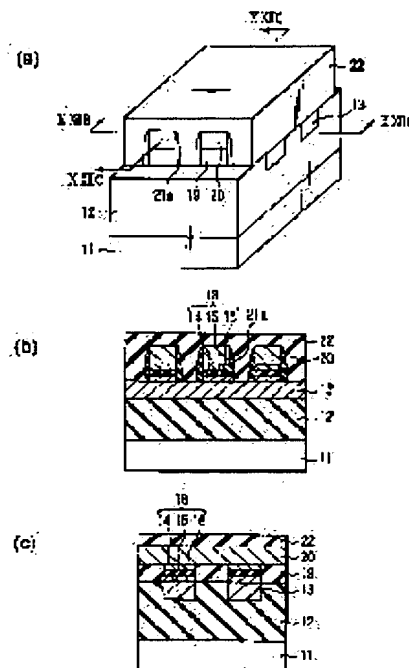
Priority number : 2001384793 Priority date : 18.12.2001 Priority country : JP

(54) MAGNETIC MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain incorrect writing and concentrate a magnetic field to a selection cell.

SOLUTION: A semiconductor memory device is equipped with first wirings 13 extended into a first direction, memory elements 18 arranged above the first wirings 13, second wirings 20 extended on the memory elements 18 into a second direction different from the first direction, and magnetic shield layers 21 formed on the side surface of the second wirings 20 and the side surface of the memory elements 18.



LEGAL STATUS

[Date of request for examination]

04.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (c); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-249630

(P2003-249630A)

(43)公開日 平成15年9月5日(2003.9.5)

(51)Int.Cl.⁷

H 0 1 L 27/105
43/08

識別記号

F I

H 0 1 L 43/08
27/10

テマコード*(参考)

Z 5 F 0 8 3
4 4 7

審査請求 有 請求項の数49 O L (全 27 頁)

(21)出願番号 特願2002-352784(P2002-352784)

(22)出願日 平成14年12月4日(2002.12.4)

(31)優先権主張番号 特願2001-384793(P2001-384793)

(32)優先日 平成13年12月18日(2001.12.18)

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 細谷 啓司

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

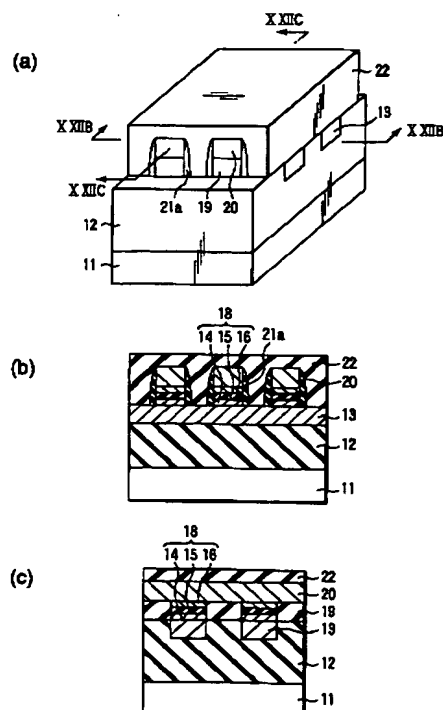
Fターム(参考) 5F083 FZ10 GA15 NA08 PR39 PR40

(54)【発明の名称】 磁気記憶装置及びその製造方法

(57)【要約】

【課題】誤書き込みを抑制するとともに、選択セルへの磁場を集中させる。

【解決手段】半導体記憶装置は、第1の方向に延在する第1の配線13と、この第1の配線13の上方に配置された記憶素子18と、この記憶素子18上に、第1の方向と異なる第2の方向に延在する第2の配線20と、この第2の配線20の側面及び記憶素子18の側面に形成された磁気シールド層21とを具備する。



【特許請求の範囲】

【請求項 1】 第 1 の方向に延在する第 1 の配線と、
前記第 1 の配線の上に配置された記憶素子と、
前記記憶素子上に配置され、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線と、
前記第 2 の配線の側面及び前記記憶素子の側面に形成された第 1 の磁気シールド層とを具備することを特徴とする磁気記憶装置。

【請求項 2】 前記第 1 の磁気シールド層は、前記第 2 の配線の前記側面及び上面、前記記憶素子の前記側面に形成され、かつ前記第 2 の配線間を跨いで連続して形成されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 3】 前記第 1 の磁気シールド層は、絶縁性の磁性層であることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 4】 前記絶縁性の磁性層は、絶縁性のフェライトであることを特徴とする請求項 3 に記載の磁気記憶装置。

【請求項 5】 前記第 2 の配線の前記側面と前記記憶素子の前記側面とはほぼ平面になっており、この平面に前記第 1 の磁気シールド層が形成されていることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 6】 前記記憶素子は、第 1 の磁性層、第 2 の磁性層及び非磁性層の少なくとも 3 層で構成される MTJ 素子であることを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 7】 前記 MTJ 素子は、1 層の前記非磁性層を有する 1 重接合構造又は 2 層の前記非磁性層を有する 2 重接合構造であることを特徴とする請求項 6 に記載の磁気記憶装置。

【請求項 8】 前記第 1 及び第 2 の磁性層の磁化は異なる反転閾値を有し、
前記第 1 及び第 2 の磁性層の磁化方向が平行な場合又は前記第 1 及び第 2 の磁性層の磁化方向が反平行な場合を作りだし、前記 MTJ 素子にデータが書き込まれることを特徴とする請求項 6 に記載の磁気記憶装置。

【請求項 9】 前記第 1 及び第 2 の磁性層の磁化方向が平行な場合又は前記第 1 及び第 2 の磁性層の磁化方向が反平行な場合によって、前記 MTJ 素子の抵抗値に変化が生じ、この抵抗値の変化により前記 MTJ 素子に書き込まれたデータを読み出すことを特徴とする請求項 6 に記載の磁気記憶装置。

【請求項 10】 前記記憶素子の前記第 2 の方向における側面に配置され、前記記憶素子と同等の厚さを有する第 1 の絶縁層とをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 11】 前記第 1 又は第 2 の配線と前記記憶素子との間に形成されたダイオードとをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 12】 前記第 1 の配線と離間して配置された前記記憶素子に接続されたトランジスタとをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 13】 前記第 2 の配線の上に形成された第 2 の磁気シールド層とをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 14】 前記第 1 の磁気シールド層は、絶縁性の磁性層であることを特徴とする請求項 13 に記載の磁気記憶装置。

【請求項 15】 前記第 2 の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項 13 に記載の磁気記憶装置。

【請求項 16】 前記第 2 の配線の上に形成された第 2 の磁気シールド層と、
前記第 2 の配線の前記側面及び前記記憶素子の前記側面と前記第 1 の磁気シールド層との間に形成された第 2 の絶縁層とをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 17】 前記第 1 の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項 16 に記載の磁気記憶装置。

【請求項 18】 前記第 2 の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項 16 に記載の磁気記憶装置。

【請求項 19】 前記第 1 の磁気シールド層は、前記第 2 の絶縁層の側面及び前記第 2 の磁気シールド層の上面に形成され、かつ前記第 2 の配線間を跨いで連続して形成されることを特徴とする請求項 16 に記載の磁気記憶装置。

【請求項 20】 前記第 2 の磁気シールド層は、絶縁性の磁性層であり、
前記第 1 の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項 19 に記載の磁気記憶装置。

【請求項 21】 前記第 2 の磁気シールド層は、導電性の磁性層であり、
前記第 1 の磁気シールド層は、絶縁性の磁性層であることを特徴とする請求項 19 に記載の磁気記憶装置。

【請求項 22】 前記記憶素子の前記側面と前記第 1 の磁気シールド層との間に形成され、前記第 2 の配線の前記側面とはほぼ平面になっている側面を有する第 3 の絶縁層とをさらに具備することを特徴とする請求項 1 に記載の磁気記憶装置。

【請求項 23】 前記記憶素子の前記第 1 の方向の幅は、前記第 2 の配線の幅より小さいことを特徴とする請求項 22 に記載の磁気記憶装置。

【請求項 24】 前記第 1 の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項 22 に記載の磁気記憶装置。

【請求項 25】 前記第 1 の磁気シールド層は、前記第

2の配線の前記側面及び上面、前記第3の絶縁層の前記側面に形成され、かつ前記第2の配線間を跨いで連続して形成されていることを特徴とする請求項22に記載の磁気記憶装置。

【請求項26】 前記第1の磁気シールド層は、絶縁性の磁性層であることを特徴とする請求項25に記載の磁気記憶装置。

【請求項27】 前記第2の配線の上面に形成された第2の磁気シールド層とをさらに具備することを特徴とする請求項22に記載の磁気記憶装置。

【請求項28】 前記第1の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項27に記載の磁気記憶装置。

【請求項29】 前記第2の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項27に記載の磁気記憶装置。

【請求項30】 前記第1の配線の下面及び側面に形成された第3の磁気シールド層とをさらに具備することを特徴とする請求項1に記載の磁気記憶装置。

【請求項31】 前記第3の磁気シールド層は、絶縁性の磁性層又は導電性の磁性層であることを特徴とする請求項30に記載の磁気記憶装置。

【請求項32】 前記第1の磁気シールド層を挟む第1及び第2のバリアメタル層とをさらに具備することを特徴とする請求項1に記載の磁気記憶装置。

【請求項33】 前記第3の磁気シールド層を挟む第3及び第4のバリアメタル層とをさらに具備することを特徴とする請求項30に記載の磁気記憶装置。

【請求項34】 前記第1の配線と同一面上に配置され、前記第1の配線と平行して延在され、前記記憶素子に接続され、読み出し配線として使用される第3の配線とをさらに具備することを特徴とする請求項1に記載の磁気記憶装置。

【請求項35】 前記第1の配線と前記記憶素子との間に配置され、前記第1の配線と平行して延在され、前記記憶素子に接続され、読み出し配線として使用される第4の配線とをさらに具備することを特徴とする請求項1に記載の磁気記憶装置。

【請求項36】 第1の方向に延在する第1の配線を形成する工程と、
前記第1の配線の上に記憶素子を選択的に形成する工程と、
前記記憶素子の周囲に第1の絶縁層を形成する工程と、
前記第1の絶縁層及び前記記憶素子上に前記第1の方向と異なる第2の方向に延在する第2の配線を形成する工程と、
前記第2の配線をマスクとして用いて、前記第2の配線で覆われていない前記第1の絶縁層を除去する工程と、
前記第1及び第2の配線及び前記記憶素子を覆うように、前記第2の配線間を跨いで第1の磁気シールド層を

形成する工程とを具備することを特徴とする磁気記憶装置の製造方法。

【請求項37】 前記第1の磁気シールド層は、前記第2の配線間の距離の1/2以下の膜厚で形成することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項38】 前記記憶素子は、第1の磁性層、第2の磁性層及び非磁性層の少なくとも3層で構成されるMTJ素子であることを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項39】 前記第1又は第2の配線と前記記憶素子との間にダイオードを形成する工程とをさらに具備することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項40】 前記記憶素子に接続するトランジスタを形成する工程とをさらに具備することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項41】 前記第1の磁気シールド層を形成した後、

前記第2の配線の前記上面及び前記第2の配線間の前記第1の磁気シールド層を除去し、前記第1の磁気シールド層を前記第2の配線の前記側面及び前記記憶素子の前記側面に残す工程とをさらに具備することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項42】 前記第1の磁気シールド層は、異方性エッチングで除去することを特徴とする請求項41に記載の磁気記憶装置の製造方法。

【請求項43】 前記第1の磁気シールド層を形成する前に、前記第2の配線の前記上面に第2の磁気シールド層を形成する工程と、

前記第1の磁気シールド層を形成した後に、前記第1の磁気シールド層の選択部分を除去し、前記第1の磁気シールド層を前記第2の配線の前記側面及び前記記憶素子の前記側面に残す工程とをさらに具備することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項44】 前記第1の磁気シールド層を形成する前に、

前記第2の配線の前記上面に第2の磁気シールド層を形成する工程と、

前記第2の配線の前記側面及び前記記憶素子の前記側面に第2の絶縁層を形成する工程とをさらに具備することを特徴とする請求項36に記載の磁気記憶装置の製造方法。

【請求項45】 前記第1の磁気シールド層を形成した後に、

前記第2の磁気シールド層の前記上面及び前記第2の配線間の前記第1の磁気シールド層を除去し、前記第1の磁気シールド層を前記第2の絶縁層の側面に残す工程とをさらに具備することを特徴とする請求項44に記載の磁気記憶装置の製造方法。

【請求項 4 6】 前記第 2 の配線の幅を前記記憶素子の前記第 1 の方向の幅よりも大きくして、前記第 2 の配線を形成し、
前記第 2 の配線をマスクとして用いて前記第 2 の配線で覆われていない前記第 1 の絶縁層を除去することで、前記第 2 の配線の前記側面よりも窪んだ前記記憶素子の前記側面に前記第 1 の絶縁層を残し、
前記第 2 の配線の前記側面及び前記上面、前記第 1 の絶縁層の側面に前記第 1 の磁気シールド層を形成することを特徴とする請求項 3 6 に記載の磁気記憶装置の製造方法。

【請求項 4 7】 前記第 1 の磁気シールド層を形成した後に、
前記第 2 の磁気シールド層の前記上面及び前記第 2 の配線間の前記第 1 の磁気シールド層を除去し、前記第 1 の磁気シールド層を前記第 1 の絶縁層の側面及び前記第 2 の配線の側面に残す工程とをさらに具備することを特徴とする請求項 4 6 に記載の磁気記憶装置の製造方法。

【請求項 4 8】 前記第 1 の磁気シールド層を形成する前に、
前記第 2 の配線の上面に第 2 の磁気シールド層を形成する工程とをさらに具備することを特徴とする請求項 4 7 に記載の磁気記憶装置の製造方法。

【請求項 4 9】 第 1 の方向に延在する第 1 の配線を形成する工程と、
前記第 1 の配線の上に前記第 1 の方向に延在する直線状の記憶素子を形成する工程と、
前記記憶素子の周囲に第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層及び前記記憶素子上に、前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線を形成する工程と、
前記第 2 の配線をマスクとして用いて前記第 2 の配線で覆われていない前記第 1 の絶縁層及び前記記憶素子を除去し、前記記憶素子を島状にする工程と、
前記第 2 の配線間を跨いで第 1 の磁気シールド層を形成する工程とを具備することを特徴とする磁気記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気記憶装置及びその製造方法に係わり、特に 1 ビット毎に電流磁界によって書き込みを行い、セルの磁化の状態による抵抗変化によって“1”、“0”の情報を読み出す磁気記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、記憶素子として磁気抵抗効果を利用した MRAM (Magnetic Random Access Memory) が提案されている。MRAM は、電流磁界を用いて、強磁性体の磁化の向きを変えてデータを記憶セルに書き込むところに特徴を有する。この MRAM の中でも、トンネ

ル磁気抵抗 (TMR : Tunneling Magneto Resistive) 効果を用いた MTJ (Magnetic Tunneling Junction) 素子は、“1”、“0”の各々の情報を抵抗値の変化で取り出すことができる。また、この MTJ 素子において、“1”、“0”の抵抗差である MR (Magneto Resistive) 比は、50% 近くまで達しており、MRAM の実用化を大きく進展させる原動力となっている。

【0003】ここで、MTJ 素子のような磁気抵抗素子を備えた記憶セルに、情報の書き込みが可能な電流磁界を発生させるためには、十分大きな書き込み電流を書き込み配線に流す必要がある。この書き込み電流は、現状、書き込み配線 1 本当たり数 mA ~ 10 mA 程度にまで達する。しかし、微細化を進めようとする、磁気抵抗素子間の距離が短くなるため、大きな書き込み電流を発生させた場合、選択セル以外の隣接するセルにまで影響を及ぼしてしまうという問題があった。

【0004】そこで、この問題を克服するための一つの技術として、「磁気シールド」がある。これは、電流磁界配線のみ、又は電流磁界配線及び磁気抵抗素子の両方を磁性体で覆い、ヨークと同じ効果により電流磁界配線の発生磁界を選択セルに集中させることによって、少ない書き込み電流で選択セルに情報を書き込めるという技術である。

【0005】このような技術の公知例として、特許文献 1 に開示される技術があげられる。この特許文献 1 は、図 6 1 に示すように、半導体基板 7 1 上に素子分離酸化膜 7 2 が選択的に形成されており、この素子分離酸化膜 7 2 間に MOSFET 7 3 が選択的に形成されている。この MOSFET 7 3 のソース/ドレイン拡散層には、コンタクト 7 4、7 6、7 8 及び第 1 乃至第 3 の配線 7 5、7 7、7 9 を介して、GMR (Giant Magneto Resistive) 素子 8 0 が接続されている。この GMR 素子 8 0 の上下には、GMR 素子 8 0 と離間して、GMR 素子 8 0 に電流磁界で書き込みを行うための上部ワード線 8 1 及び下部ワード線 8 2 が配置されている。そして、このようなメモリセルアレイの全面を覆うパッシベーション膜として、非導電性のフェライト材料からなる磁気シールド層 8 3 が形成されている。

【0006】上記従来技術では、非導電性のフェライト材料によって、磁気シールド層 8 3 の外側の浮遊磁場を遮蔽することが可能である。さらに、書き込み配線 8 1、8 2 の発生する磁場を記録部である GMR 素子 8 0 の磁性層に集中させることも可能である。

【0007】

【特許文献 1】特願平 1 1 - 2 3 8 3 7 7 号公報

【0008】

【発明が解決しようとする課題】しかしながら、上記従来技術においては、磁気メモリとして微細化を進めた場合に、隣接セル間に漏れる磁界による誤書き込みを防ぐ効果が弱く、また、電流磁界配線による磁場を磁性体に

集中させる効果が十分ではないという問題があった。

【0009】本発明は上記課題を解決するためになされたものであり、その目的とするところは、誤書き込みの抑制及び選択セルへの磁場集中が可能な磁気記憶装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0011】本発明の第1の視点による磁気記憶装置は、第1の方向に延在する第1の配線と、前記第1の配線10 13の上方に配置された記憶素子と、前記記憶素子上に配置され、前記第1の方向と異なる第2の方向に延在する第2の配線と、前記第2の配線の側面及び前記記憶素子の側面に形成された第1の磁気シールド層とを具備する。

【0012】本発明の第2の視点による磁気記憶装置の製造方法は、第1の方向に延在する第1の配線を形成する工程と、前記第1の配線の上方に記憶素子を選択的に形成する工程と、前記記憶素子の周囲に第1の絶縁層を形成する工程と、前記第1の絶縁層及び前記記憶素子上に、前記第1の方向と異なる第2の方向に延在する第2の配線を形成する工程と、前記第2の配線をマスクとして用いて、前記第2の配線で覆われていない前記第1の絶縁層を除去する工程と、前記第1及び第2の配線及び前記記憶素子を覆うように、前記第2の配線間を跨いで第1の磁気シールド層を形成する工程とを具備する。

【0013】

【発明の実施の形態】本発明の実施の形態は、トンネル磁気抵抗（TMR：Tunneling Magneto Resistive）効果を用いたMTJ（Magnetic Tunneling Junction）素子30 を記憶素子として用いた磁気記憶装置（MRAM：Magnetic Random Access Memory）に関するものである。

【0014】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】〔第1の実施形態〕第1の実施形態は、磁気シールド層をMTJ素子及び第2の配線を覆うように隣接する第2の配線を跨いで形成した構造であり、また、スイッチング素子は用いない例である。

【0016】図1（a）は、本発明の第1の実施形態に係る磁気記憶装置の斜視図を示す。図1（b）は、図1（a）に示すIB-IB線に沿った磁気記憶装置の断面図を示す。図1（c）は、図1（a）に示すIC-IC線に沿った磁気記憶装置の断面図を示す。以下に、第1の実施形態に係る磁気記憶装置の構造について説明する。

【0017】図1（a）、1（b）、1（c）に示すように、第1の実施形態に係る磁気記憶装置は、第1の配線13と第2の配線20とが互いに異なる方向に延在され、これら第1及び第2の配線13、20間の第1及び第2の配線13、20の交点に、第1及び第2の配線1

3、20に電氣的に接続するMTJ素子18が配置されている。そして、MTJ素子18の側面、第2の配線20の上面及び側面を覆うように磁気シールド層21が形成され、この磁気シールド層21は隣接する第2の配線20を跨いで連続して形成されている。

【0018】ここで、MTJ素子18における第1の配線13の延在方向の幅Xは第2の配線20の幅と等しく、MTJ素子18における第2の配線20の延在方向の幅Yは第1の配線13の幅と等しい。従って、MTJ素子18の第2の配線20の延在方向における側面と、第2の配線20の延在方向における側面とは、ほぼ段差のない平面となっている。そして、磁気シールド層21は、この平面を覆うように形成されている。また、層間絶縁膜19はMTJ素子18間を埋め込み、この層間絶縁膜19とMTJ素子18の膜厚はほぼ等しくなっている。

【0019】このような第1の実施形態の場合、磁気シールド層21は隣接する第2の配線20間を跨ぐように連続して形成するため、磁気シールド層21は絶縁性の材料を用いることが望ましい。これは、導電性の材料からなる磁気シールド層21を第2の配線20間を跨ぐように連続して形成すると、この磁気シールド層21を介して隣接する第2の配線20が電氣的に接続されたり、セル毎に分離されたMTJ素子18が電氣的に接続されたりするからである。

【0020】つまり、磁気シールド層21は、絶縁性の磁性層である。この絶縁性の磁性層の材料としては、例えば、絶縁性のフェライトや、 $(Fe, Co) - (B, Si, Hf, Zr, Sm, Ta, Al) - (F, O, N)$ 系などの金属-非金属ナノグラニュー膜があげられる。具体的に、絶縁性のフェライトは、例えば、 $Mn - Zn$ -フェライト、 $Ni - Zn$ -フェライト、 $MnFeO$ 、 $CuFeO$ 、 FeO 、 $NiFeO$ のうち少なくとも1つ以上の材料からなる。

【0021】また、第1の実施形態では、第1及び第2の配線13、20は直交するように配置され、大規模なセルアレイを形成するのに適した構造となっているが、第1及び第2の配線13、20が異なる方向に延在していれば直交していなくてもよい。

【0022】また、MTJ素子18は、磁化の向きが固定された磁化固着層（磁性層）14と、トンネル接合層（非磁性層）15と、磁化の向きが反転する磁気記録層（磁性層）16との3層で構成されている。ここで、磁化固着層14と磁気記録層16の位置は入れ替えてもよく、MTJ素子18は、1層のトンネル接合層15からなる1重トンネル接合構造であっても、2層のトンネル接合層15からなる2重トンネル接合構造であってもよい。以下、1重トンネル接合構造や2重トンネル接合構造のMTJ素子18の例について説明する。

【0023】図2（a）に示す1重トンネル接合構造の

MTJ素子18は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された磁化固着層14と、この磁化固着層14上に形成されたトンネル接合層15と、このトンネル接合層15上に自由強磁性層105、接点層106が順に積層された磁気記録層16とからなる。

【0024】図2(b)に示す1重トンネル接合構造のMTJ素子18は、テンプレート層101、初期強磁性層102、反強磁性層103、強磁性層104'、非磁性層107、強磁性層104''が順に積層された磁化固着層14と、この磁化固着層14上に形成されたトンネル接合層15と、このトンネル接合層15上に強磁性層105'、非磁性層107、強磁性層105''、接点層106が順に積層された磁気記録層16とからなる。

【0025】尚、図2(b)に示すMTJ素子18では、磁化固着層14内の強磁性層104'、非磁性層107、強磁性層104''からなる3層構造と、磁気記録層16内の強磁性層105'、非磁性層107、強磁性層105''からなる3層構造とを導入することで、図2(a)に示すMTJ素子18よりも、強磁性内部の磁極の発生を抑制し、より微細化に適したセル構造が提供できる。

【0026】図3(a)に示す2重トンネル接合構造のMTJ素子18は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された第1の磁化固着層14aと、この第1の磁化固着層14a上に形成された第1のトンネル接合層15aと、この第1のトンネル接合層15a上に形成された磁気記録層16と、この磁気記録層16上に形成された第2のトンネル接合層15bと、この第2のトンネル接合層15b上に基準強磁性層104、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固着層14bとからなる。

【0027】図3(b)に示す2重トンネル接合構造のMTJ素子18は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層され第1の磁化固着層14aと、この第1の磁化固着層14a上に形成された第1のトンネル接合層15aと、この第1のトンネル接合層15a上に強磁性層16'、非磁性層107、強磁性層16''の3層構造によって順に積層された磁気記録層16と、この磁気記録層16上に形成された第2のトンネル接合層15bと、この第2のトンネル接合層15b上に強磁性層104'、非磁性層107、強磁性層104''、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固着層14bとからなる。

【0028】尚、図3(b)に示すMTJ素子18では、磁気記録層16を構成する強磁性層16'、非磁性層107、強磁性層16''の3層構造と、第2の磁化固着層14b内の強磁性層104'、非磁性層107、強

磁性層104''からなる3層構造とを導入することで、図3(a)に示すMTJ素子18よりも、強磁性内部の磁極の発生を抑制し、より微細化に適したセル構造が提供できる。

【0029】このような2重トンネル接合構造のMTJ素子18は、1重トンネル接合構造のMTJ素子18よりも、同じ外部バイアスを印加したときのMR(Magneto Resistive)比("1"の状態と"0"の状態の抵抗の変化率)の劣化が少なく、より高いバイアスで動作できる。すなわち、2重トンネル接合構造は、セル内の情報を読み出す際に有利となる。

【0030】このような1重トンネル接合構造又は2重トンネル接合構造のMTJ素子18は、例えば以下の材料を用いて形成される。

【0031】磁化固着層14、14a、14b及び磁気記録層16の材料には、例えば、Fe、Co、Ni又はそれらの合金、スピン分極率の大きいマグネタイト、CrO₂、RXMnO_{3-y}(R;希土類、X;Ca、Ba、Sr)などの酸化物の他、NiMnSb、PtMnSbなどのホイスラー合金などを用いることが好ましい。また、これら磁性体には、強磁性を失わないかぎり、Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、Nbなどの非磁性元素が多少含まれていてもよい。

【0032】磁化固着層14、14a、14bの一部を構成する反強磁性層103の材料には、Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、Fe₂O₃などを用いることが好ましい。

【0033】トンネル接合層15、15a、15bの材料には、Al₂O₃、SiO₂、MgO、AlN、Bi₂O₃、MgF₂、CaF₂、SrTiO₂、AlLaO₃などの様々な誘電体を使用することができる。これらの誘電体には、酸素、窒素、フッ素欠損が存在していてもよい。

【0034】図4(a)、4(b)、4(c)乃至図9(a)、9(b)、9(c)は、本発明の第1の実施形態に係る磁気記憶装置の製造工程を示す。以下に、第1の実施形態に係る磁気記憶装置の製造方法について説明する。

【0035】まず、図4(a)、4(b)、4(c)に示すように、半導体基板11上に第1の層間絶縁膜12及び第1の配線13が形成される。具体的には、RIE(Reactive Ion Etching)を用いて第1の配線13が所望のパターンに形成された後、この第1の配線13上に第1の層間絶縁膜12が形成され、この第1の層間絶縁膜12が第1の配線13の表面が露出するまでCMP(Cheical Mechanical Polish)又はエッチバック法を用いて平坦化される。

【0036】次に、図5(a)、5(b)、5(c)に示すように、第1の層間絶縁膜12及び第1の配線13

上に磁化固着層 14 が堆積され、この磁化固着層 14 上にトンネル接合層 15 が堆積され、このトンネル接合層 15 上に磁気記録層 16 が堆積される。これにより、磁化固着層 14 とトンネル接合層 15 と磁気記録層 16 とからなる TMR 材料層 17 が形成される。

【0037】次に、図 6 (a)、6 (b)、6 (c) に示すように、マスク材 (図示せず) を用いて、TMR 材料層 17 が選択的にエッチングされ、セル毎に分離された島状の MTJ 素子 18 が形成される。次に、第 1 の層間絶縁膜 12、MTJ 素子 18 及び第 1 の配線 13 上に第 2 の層間絶縁膜 19 が形成され、この第 2 の層間絶縁膜 19 が MTJ 素子 18 の表面が露出するまで CMP またはエッチバック法を用いて平坦化される。

【0038】次に、図 7 (a)、7 (b)、7 (c) に示すように、MTJ 素子 18 及び第 2 の層間絶縁膜 19 上に、第 1 の配線 13 の延在方向と直交するように、第 2 の配線 20 が形成される。

【0039】次に、図 8 (a)、8 (b)、8 (c) に示すように、第 2 の配線 20 をマスクとして用いて、第 2 の配線 20 間に露出している第 2 の層間絶縁膜 19 が、第 1 の層間絶縁膜 12 及び第 1 の配線 13 が露出まで除去される。

【0040】次に、図 9 (a)、9 (b)、9 (c) に示すように、第 2 の配線 20、第 1 の層間絶縁膜 12 及び第 1 の配線 13 上に、磁気シールド層 21 が形成される。この際、磁気シールド層 21 の膜厚は、第 2 の配線 20 間のスペース S の $1/2$ 以下にすることが望ましい。これは、隣接する第 2 の配線 20 の側面を覆う磁気シールド層 21 が接してしまうことを防止するためである。

【0041】次に、図 1 (a)、1 (b)、1 (c) に示すように、磁気シールド層 21 上に第 3 の層間絶縁膜 22 が堆積される。これにより、MRAM のメモリセルアレイ部が完成する。

【0042】以上のような MTJ 素子 18 を記憶素子として用いた MRAM では、次のように、データの書き込み及び読み出しが行われる。

【0043】まず、データの書き込みは、選択された第 1 及び第 2 の配線 13、20 の双方に書き込み電流を流して電流磁界をそれぞれ発生させ、この 2 つの電流磁界の合成磁界を第 1 及び第 2 の配線 13、20 の交点に位置する MTJ 素子 18 に印加する。これにより、磁化固着層 14 よりも磁化の反転閾値が低い磁気記録層 16 の磁化が反転し、磁気固着層 14 と磁気記録層 16 の磁化の方向が互いに平行となる状態 (例えば “0” の状態)、若しくは、互いに反平行となる状態 (例えば “1” の状態) が作り出される。

【0044】一方、データの読み出しは、“0” の状態又は “1” の状態が書き込まれた MTJ 素子 18 に電流を流し、この MTJ 素子 18 の抵抗値の違いによって

“1”、“0” のデータが判断される。

【0045】上記第 1 の実施形態によれば、第 2 の配線 20 の上面及び側面、そして第 2 の配線 20 を用いてデータが書き込まれる MTJ 素子 18 の側面は、磁気シールド層 21 で覆われている。このため、磁気シールド層 21 が十分にヨークとしての効果を発揮し、第 2 の配線 20 の作る電流磁界を選択セルに効率的に印加することができる。従って、書き込み電流が低減できるため、消費電力を低減することが可能な MRAM を提供できる。

【0046】また、磁気シールド層 21 で第 2 の配線 20 及び MTJ 素子 18 を覆うことにより、第 1 の配線 13 の延在方向に配置された隣接する MTJ 素子 18 への漏れ磁界をより効率的に遮断することができる。従って、誤った書き込みを抑制することができる。

【0047】また、絶縁性の磁気シールド層 21 を用いることにより、隣接する第 2 の配線 20 間で磁気シールド層 21 を分断する必要がなくなる。これにより、第 2 の配線 20 間の距離を大きく保つ必要がないため、メモリセルの微細化を図ることができる。

【0048】また、記憶素子として MTJ 素子 18 を用いている。このため、2 つの磁性層とこれら磁性層に挟まれた導体層とからなる GMR (Giant Magneto Resistive) 素子を用いた場合よりも、大きな読出し信号が得られ、読出し動作の高速化を図ることができる。

【0049】また、第 1 及び第 2 の配線 13、20 と、MTJ 素子 18 と、第 2 の層間絶縁膜 19 とが、自己整合的に形成されることにより、微細化に適した MRAM を提供することができる。

【0050】〔第 2 の実施形態〕第 2 の実施形態は、磁気シールド層を MTJ 素子及び第 2 の配線を覆うように隣接する第 2 の配線を跨いで形成した構造であり、また、スイッチング素子としてダイオードを用いた例である。

【0051】図 10 (a)、10 (b) は、本発明の第 2 の実施形態に係る磁気記憶装置の断面図を示す。ここで、図 10 (a) は、第 1 の配線の延在方向に沿った磁気記憶装置の断面図を示し、図 10 (b) は、第 2 の配線の延在方向に沿った磁気記憶装置の断面図を示す。以下に、第 2 の実施形態に係る磁気記憶装置の構造について説明する。尚、第 1 の実施形態と異なる構造のみ説明する。

【0052】図 10 (a)、10 (b) に示すように、第 2 の実施形態は、第 1 の配線 13 と MTJ 素子 18 との間に、読み出し電流用のスイッチング素子としてダイオード 32 を設けている。このダイオード 32 は、MTJ 素子 18 とほぼ同じ形状となっている。つまり、ダイオード 32 の第 2 の配線 20 の延在方向における側面と、MTJ 素子 18 の第 2 の配線 20 の延在方向における側面と、第 2 の配線 20 の延在方向における側面とは、ほぼ段差のない平面となっている。そして、磁気シ

ールド層 21 は、この平面及び第 2 の配線 20 の上面に、隣接する第 2 の配線 20 を跨いで連続して形成されている。

【0053】尚、磁気シールド層 21 は、少なくとも第 2 の配線 20 及び MTJ 素子 18 の側面に形成されていればよく、ダイオード 32 の側面には必ずしも形成する必要はない。また、磁気シールド層 21 は隣接する第 2 の配線 20 間を跨ぐように連続して形成するため、磁気シールド層 21 は絶縁性の材料を用いることが望ましい。

【0054】図 11 (a)、11 (b) 乃至図 15 (a)、15 (b) は、本発明の第 2 の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第 2 の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第 1 の実施形態と同様の工程については簡単に説明する。

【0055】まず、図 11 (a)、11 (b) に示すように、半導体基板 11 上に第 1 の層間絶縁膜 12 及び第 1 の配線 13 が形成される。

【0056】次に、図 12 (a)、12 (b) に示すように、第 1 の層間絶縁膜 12 及び第 1 の配線 13 上にダイオード材料層 31 が形成される。次に、ダイオード材料層 31 上に、磁化固着層 14 とトンネル接合層 15 と磁気記録層 16 とからなる TMR 材料層 17 が形成される。

【0057】次に、図 13 (a)、13 (b) に示すように、マスク材（図示せず）を用いて、TMR 材料層 17 及びダイオード材料層 31 が選択的にエッチングされ、セル毎に分離された島状の MTJ 素子 18 及びダイオード 32 が形成される。次に、MTJ 素子 18 及び第 1 の配線 13 上に第 2 の層間絶縁膜 19 が形成され、この第 2 の層間絶縁膜 19 が MTJ 素子 18 の表面が露出するまで CMP 又はエッチバック法を用いて平坦化される。

【0058】次に、図 14 (a)、14 (b) に示すように、MTJ 素子 18 及び第 2 の層間絶縁膜 19 上に、第 1 の配線 13 の延在方向と直交するように、第 2 の配線 20 が形成される。

【0059】次に、図 15 (a)、15 (b) に示すように、第 2 の配線 20 をマスクとして用いて、第 2 の配線 20 間に露出している第 2 の層間絶縁膜 19 が、第 1 の層間絶縁膜 12 及び第 1 の配線 13 が露出まで除去される。次に、第 2 の配線 20、第 1 の層間絶縁膜 12 及び第 1 の配線 13 上に、磁気シールド層 21 が形成される。

【0060】次に、図 10 (a)、10 (b) に示すように、磁気シールド層 21 上に第 3 の層間絶縁膜 22 が堆積される。これにより、MRAM のメモリセルアレイ部が完成する。

【0061】上記第 2 の実施形態によれば、第 1 の実施

形態と同様の効果を得ることができるだけでなく、さらに、次のような効果を有する。

【0062】第 1 の実施形態では、マトリクス状のアレイ構造であるため、データの読み出し時に選択セル以外にも電流が漏れるおそれがある。これにより、読み出し信号の S/N 比が劣化したり、読み出し速度が遅くなったりするという問題が生じることもある。これに対し、第 2 の実施形態では、スイッチング素子としてダイオード 32 を設けることで、ダイオード 32 の整流性を利用して選択セルのみに、読み出し電流を流すことができる。このため、読み出し信号の S/N 比を改善することができ、読み出し速度を向上することができる。

【0063】尚、第 2 の実施形態において、ダイオード 32 は、第 2 の配線 20 と MTJ 素子 18 との間に配置されてもよい。

【0064】〔第 3 の実施形態〕第 3 の実施形態は、磁気シールド層を MTJ 素子及び第 2 の配線を覆うように隣接する第 2 の配線を跨いで形成した構造であり、また、スイッチング素子としてトランジスタを用いた例である。

【0065】図 16 (a)、16 (b) は、本発明の第 3 の実施形態に係る磁気記憶装置の断面図を示す。ここで、図 16 (a) は、第 1 の配線の延在方向に沿った磁気記憶装置の断面図を示し、図 16 (b) は、第 2 の配線の延在方向に沿った磁気記憶装置の断面図を示す。以下に、第 3 の実施形態に係る磁気記憶装置の構造について説明する。尚、第 1 の実施形態と異なる構造のみ説明する。

【0066】図 16 (a)、16 (b) に示すように、第 3 の実施形態は、読み出し電流用のスイッチング素子として MOSFET 44 を設けている。つまり、MOSFET 44 のソース/ドレイン拡散層 43 に接続するコンタクト 45 が形成され、このコンタクト 45 に接続する MTJ 素子 18 の下部電極 48 が形成されている。この下部電極 48 は、第 1 の配線 13 と離間して形成され、MTJ 素子 18 に電気的に接続されている。そして、下部電極 48 の第 2 の配線 20 の延在方向における側面と、MTJ 素子 18 の第 2 の配線 20 の延在方向における側面とは、ほぼ段差のない平面となっている。そして、磁気シールド層 21 は、この平面及び第 2 の配線 20 の上面に、隣接する第 2 の配線 20 を跨いで連続して形成されている。

【0067】尚、磁気シールド層 21 は、少なくとも第 2 の配線 20 及び MTJ 素子 18 の側面に形成されていればよく、下部電極 48 の側面には必ずしも形成する必要はない。また、磁気シールド層 21 は隣接する第 2 の配線 20 間を跨ぐように連続して形成するため、磁気シールド層 21 は絶縁性の材料を用いることが望ましい。

【0068】図 17 (a)、17 (b) 乃至図 21

(a)、21(b)は、本発明の第3の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第3の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第1の実施形態と同様の工程については簡単に説明する。

【0069】まず、図17(a)、17(b)に示すように、半導体基板11上にゲート絶縁膜41を介してゲート電極42が選択的に形成される。そして、このゲート電極42の両側の半導体基板11内にソース/ドレイン拡散層43が形成される。これにより、スイッチング素子としてのMOSFET44が形成される。次に、第1の層間絶縁膜12及び第1の配線13が形成され、これら第1の層間絶縁膜12及び第1の配線13上に第4の層間絶縁膜46が形成される。さらに、ソース/ドレイン拡散層43に接続するコンタクト45が形成される。

【0070】次に、図18(a)、18(b)に示すように、第4の層間絶縁膜46及びコンタクト45上に下部電極材料層47が形成される。次に、下部電極材料層47上に、磁化固着層14とトンネル接合層15と磁気記録層16とからなるTMR材料層17が形成される。

【0071】次に、図19(a)、19(b)に示すように、マスク材(図示せず)を用いて、TMR材料層17が選択的にエッチングされ、セル毎に分離された島状のMTJ素子18が形成される。次に、下部電極材料層47が選択的にエッチングされ、所望の形状の下部電極48が形成される。次に、MTJ素子18、下部電極48及び第4の層間絶縁膜46上に第2の層間絶縁膜19が形成され、この第2の層間絶縁膜19がMTJ素子18の表面が露出するまでCMP又はエッチバック法を用いて平坦化される。

【0072】次に、図20(a)、20(b)に示すように、MTJ素子18及び第2の層間絶縁膜19上に、第1の配線13の延在方向と直交するように、第2の配線20が形成される。

【0073】次に、図21(a)、21(b)に示すように、第2の配線20をマスクとして用いて、第2の配線20間に露出している第2の層間絶縁膜19が、第4の層間絶縁膜46が露出まで除去される。次に、第2の配線20及び第4の層間絶縁膜46上に、磁気シールド層21が形成される。

【0074】次に、図16(a)、16(b)に示すように、磁気シールド層21上に第3の層間絶縁膜22が堆積される。これにより、MRAMのメモリセルアレイ部が完成する。

【0075】上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができるだけでなく、さらに、次のような効果を有する。

【0076】第1の実施形態では、マトリクス状のアレイ構造であるため、データの読み出し時に選択セル以外

にも電流が漏れるおそれがある。これにより、読み出し信号のS/N比が劣化したり、読み出し速度が遅くなったりするという問題が生じることがある。これに対し、第3の実施形態では、スイッチング素子としてMOSFET44を設けることで、選択セルのみに読み出し電流を流すことができる。このため、読み出し信号のS/N比を改善することができ、読み出し速度を向上することができる。

【0077】さらに、読み出し用のスイッチがMOSFET44であるため、通常のCMOSプロセスとの整合性が良く、第3の実施形態のようなメモリセルをロジック回路に混載する場合に適用が容易である。

【0078】[第4の実施形態]第4の実施形態は、第1の実施形態の変形例であり、磁気シールド層を第2の配線毎に分断している例である。

【0079】図22(a)は、本発明の第4の実施形態に係る磁気記憶装置の斜視図を示す。図22(b)は、図22(a)に示すXXIIB-XXIIB線に沿った磁気記憶装置の断面図を示す。図22(c)は、図22(a)に示すXXIIC-XXIIC線に沿った磁気記憶装置の断面図を示す。以下に、第4の実施形態に係る磁気記憶装置の構造について説明する。尚、第1の実施形態と異なる構造のみ説明する。

【0080】図22(a)、22(b)、22(c)に示すように、第4の実施形態は、磁気シールド層21aが、第2の配線20及びMTJ素子19の側面にのみ形成されており、第2の配線20上や隣接する第2の配線20間には形成されていない。つまり、磁気シールド層21aは、第2の配線20毎に分断されている。ここで、磁気シールド層21aは、MTJ素子19の上下の磁性層14、16がショートされることを防ぐために、絶縁性の材料を用いることが望ましい。

【0081】図23(a)、23(b)、23(c)は、本発明の第4の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第4の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第1の実施形態と同様の工程については説明を省略する。

【0082】まず、図2(a)、2(b)、2(c)乃至図9(a)、9(b)、9(c)に示すように、第2の配線20及びMTJ素子18を覆うように、磁気シールド層21が形成される。

【0083】次に、図23(a)、23(b)、23(c)に示すように、例えばRIEのような垂直方向の異方性エッチングによって、第2の配線20の上面に形成された磁気シールド層21と、第2の配線20間の第1の層間絶縁膜12及び第1の配線13上に形成された磁気シールド層21とが除去される。これにより、MTJ素子18の側面、第2の層間絶縁膜19の側面及び第2の配線20の側面にのみ、磁気シールド層21aが残存される。

【0084】次に、図22(a)、22(b)、22(c)に示すように、磁気シールド層21a、第2の配線20、第1の配線13及び第1の層間絶縁膜12上に、第3の層間絶縁膜22が堆積される。これにより、MRAMのメモリセルアレイ部が完成する。

【0085】上記第4の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0086】[第5の実施形態] 第5の実施形態は、第2の実施形態の変形例であり、磁気シールド層を第2の配線毎に分断している例である。

【0087】図24(a)、24(b)は、本発明の第5の実施形態に係る磁気記憶装置の断面図を示す。ここで、図24(a)は、第1の配線の延在方向に沿った磁気記憶装置の断面図を示し、図24(b)は、第2の配線の延在方向に沿った磁気記憶装置の断面図を示す。以下に、第5の実施形態に係る磁気記憶装置の構造について説明する。尚、第2の実施形態と異なる構造のみ説明する。

【0088】図24(a)、24(b)に示すように、第5の実施形態は、磁気シールド層21aが、ダイオード32、第2の配線20及びMTJ素子19の側面にのみ形成されており、第2の配線20上や隣接する第2の配線20間には形成されていない。つまり、磁気シールド層21aは、第2の配線20毎に分断されている。ここで、磁気シールド層21aは、MTJ素子19の上下の磁性層14、16がショートされることを防ぐために、絶縁性の材料を用いることが望ましい。

【0089】尚、磁気シールド層21aは、少なくとも第2の配線20及びMTJ素子18の側面に形成されていればよく、ダイオード32の側面には必ずしも形成する必要はない。

【0090】図25(a)、25(b)は、本発明の第5の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第5の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第2の実施形態と同様の工程については説明を省略する。

【0091】まず、図11(a)、11(b)乃至図15(a)、15(b)に示すように、ダイオード32、第2の配線20及びMTJ素子18を覆うように、磁気シールド層21が形成される。

【0092】次に、図25(a)、25(b)に示すように、例えばRIEのような垂直方向の異方性エッチングによって、第2の配線20の上面に形成された磁気シールド層21と、第2の配線20間の第1の層間絶縁膜12及び第1の配線13上に形成された磁気シールド層21とが除去される。これにより、ダイオード32の側面、MTJ素子18の側面、第2の層間絶縁膜19の側面及び第2の配線20の側面にのみ、磁気シールド層21aが残存される。

【0093】次に、図24(a)、24(b)に示すよ

うに、磁気シールド層21a、第2の配線20、第1の配線13及び第1の層間絶縁膜12上に、第3の層間絶縁膜22が堆積される。これにより、MRAMのメモリセルアレイ部が完成する。

【0094】上記第5の実施形態によれば、第2の実施形態と同様の効果を得ることができる。

【0095】[第6の実施形態] 第6の実施形態は、第3の実施形態の変形例であり、磁気シールド層を第2の配線毎に分断している例である。

【0096】図26(a)、26(b)は、本発明の第6の実施形態に係る磁気記憶装置の断面図を示す。ここで、図26(a)は、第1の配線の延在方向に沿った磁気記憶装置の断面図を示し、図26(b)は、第2の配線の延在方向に沿った磁気記憶装置の断面図を示す。以下に、第6の実施形態に係る磁気記憶装置の構造について説明する。尚、第3の実施形態と異なる構造のみ説明する。

【0097】図26(a)、26(b)に示すように、第6の実施形態は、磁気シールド層21aが、下部電極48、第2の配線20及びMTJ素子19の側面にのみ形成されており、第2の配線20上や隣接する第2の配線20間には形成されていない。つまり、磁気シールド層21aは、第2の配線20毎に分断されている。ここで、磁気シールド層21aは、MTJ素子19の上下の磁性層14、16がショートされることを防ぐために、絶縁性の材料を用いることが望ましい。

【0098】尚、磁気シールド層21aは、少なくとも第2の配線20及びMTJ素子18の側面に形成されていればよく、下部電極48の側面には必ずしも形成する必要はない。

【0099】図27(a)、27(b)は、本発明の第6の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第6の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第3の実施形態と同様の工程については説明を省略する。

【0100】まず、図17(a)、17(b)乃至図21(a)、21(b)に示すように、下部電極48、第2の配線20及びMTJ素子18を覆うように、磁気シールド層21が形成される。

【0101】次に、図27(a)、27(b)に示すように、例えばRIEのような垂直方向の異方性エッチングによって、第2の配線20の上面に形成された磁気シールド層21と、第2の配線20間の第1の層間絶縁膜12及び第1の配線13上に形成された磁気シールド層21とが除去される。これにより、下部電極48の側面、MTJ素子18の側面、第2の層間絶縁膜19の側面及び第2の配線20の側面にのみ、磁気シールド層21aが残存される。

【0102】次に、図26(a)、26(b)に示すように、磁気シールド層21a、第2の配線20、第1の

配線 1 3 及び第 1 の層間絶縁膜 1 2 上に、第 3 の層間絶縁膜 2 2 が堆積される。これにより、MRAM のメモリセルアレイ部が完成する。

【0103】上記第 6 の実施形態によれば、第 3 の実施形態と同様の効果を得ることができる。

【0104】〔第 7 の実施形態〕第 7 の実施形態は、第 1 の実施形態の変形例であり、第 4 の実施形態と同様に磁気シールド層を第 2 の配線毎に分断し、かつ第 2 の配線上にも磁気シールド層を設けている例である。

【0105】図 28 は、本発明の第 7 の実施形態に係る磁気記憶装置の断面図を示す。以下に、第 7 の実施形態に係る磁気記憶装置の構造について説明する。尚、第 1 の実施形態と異なる構造のみ説明する。

【0106】図 28 に示すように、第 7 の実施形態に係る磁気記憶装置は、第 2 の配線 2 0 及び MTJ 素子 1 9 の側面に形成された第 1 の磁気シールド層 2 1 a と、第 2 の配線 2 0 上に形成された第 2 の磁気シールド層 5 1 とを具備している。つまり、隣接する第 2 の配線 2 0 間には形成されていないため、第 4 の実施形態と同様に、磁気シールド層 2 1 a は、第 2 の配線 2 0 毎に分断されている。ここで、第 1 の磁気シールド層 2 1 a は、MTJ 素子 1 9 の上下の磁性層 1 4、1 6 がショートされることを防ぐために、絶縁性の材料を用いることが望ましい。また、第 2 の磁気シールド層 5 1 は、絶縁性の材料に限られず、導電性の材料を用いることも可能である。

【0107】つまり、第 2 の磁気シールド層 5 1 に導電性の磁性層を用いた場合、この導電性の磁性層の材料としては、例えば、Ni-Fe 合金、Co-Fe 合金、Co-Fe-Ni 合金、Co-(Zr、Hf、Nb、Ta、Ti) 系のアモルファス材料、(Co、Fe、Ni)-(Si、B)-(P、Al、Mo、Nb、Mn) 系のアモルファス材料があげられる。

【0108】図 29 は、本発明の第 7 の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第 7 の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第 1 の実施形態と同様の工程については説明を省略する。

【0109】まず、図 2 (a)、2 (b)、2 (c) 乃至図 8 (a)、8 (b)、8 (c) に示すように、第 2 の配線 2 0 をマスクとして用いて、第 2 の配線 2 0 間に露出している第 2 の層間絶縁膜 1 9 が、第 1 の層間絶縁膜 1 2 及び第 1 の配線 1 3 が露出まで除去される。

【0110】次に、図 29 に示すように、第 2 の配線 2 0 上に磁気シールド層 5 1 が形成される。次に、磁気シールド層 5 1、第 2 の配線 2 0 及び MTJ 素子 1 8 を覆うように、磁気シールド層 2 1 が形成される。

【0111】次に、図 28 に示すように、例えば RIE のような垂直方向の異方性エッチングによって、第 2 の配線 2 0 の上面に形成された磁気シールド層 2 1 と、第 2 の配線 2 0 間の第 1 の層間絶縁膜 1 2 及び第 1 の配線

1 3 上に形成された磁気シールド層 2 1 とが除去される。これにより、MTJ 素子 1 8 の側面、第 2 の層間絶縁膜 1 9 の側面及び第 2 の配線 2 0 の側面に磁気シールド層 2 1 a が残存されるとともに、第 2 の配線 2 0 上に磁気シールド層 5 1 が残存される。次に、磁気シールド層 5 1、第 1 の配線 1 3 及び第 1 の層間絶縁膜 1 2 上に、第 3 の層間絶縁膜 2 2 が堆積される。これにより、MRAM のメモリセルアレイ部が完成する。

【0112】上記第 7 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【0113】さらに、第 4 の実施形態と同様に、磁気シールド層 2 1 a、5 1 は、隣接する第 2 の配線 2 0 毎に分断しているため、磁気シールド層 5 1 の材料は、絶縁性の材料に限られず、導電性の材料を用いることもできる。このため、磁気シールド層 5 1 の材料の選択性を向上させることができる。

【0114】また、第 7 の実施形態では、第 2 の配線 2 0 上にも磁気シールド層 5 1 が形成されているため、第 4 の実施形態よりも、誤書き込みの抑制や選択セルへの磁場集中の効果を高めることができる。

【0115】尚、第 7 の実施形態は、第 1 の実施形態の構造に適用したが、これに限定されない。例えば、図 30 (a)、30 (b) に示すように、上記第 2 の実施形態のようにスイッチング素子としてダイオード 3 2 を備えた磁気記憶装置に適用することも可能であるし、例えば、図 31 (a)、31 (b) に示すように、上記第 3 の実施形態のようにスイッチング素子として MOSFET 4 4 を備えた磁気記憶装置に適用することも可能である。

【0116】〔第 8 の実施形態〕第 8 の実施形態は、第 1 の実施形態の変形例であり、第 2 の配線及び MTJ 素子の側面を絶縁層で覆い、磁気シールド層を隣接する第 2 の配線を跨いで形成した例である。

【0117】図 32 は、本発明の第 8 の実施形態に係る磁気記憶装置の断面図を示す。以下に、第 8 の実施形態に係る磁気記憶装置の構造について説明する。尚、第 1 の実施形態と異なる構造のみ説明する。

【0118】図 32 に示すように、第 8 の実施形態に係る磁気記憶装置は、第 2 の配線 2 0 及び MTJ 素子 1 9 の側面には側壁絶縁層 6 1 が形成され、第 2 の配線 2 0 上には磁気シールド層 5 1 が形成され、これら側壁絶縁層 6 1 及び磁気シールド層 5 1 を覆うように磁気シールド層 2 1 が形成されている。つまり、第 8 の実施形態では、側壁絶縁層 6 1 を設けることで、隣接する第 2 の配線 2 0 及び MTJ 素子 1 8 を電氣的に分離できるため、磁気シールド層 2 1 が隣接する第 2 の配線 2 0 を跨いで連続して形成されている。

【0119】ここで、磁気シールド層 5 1 に例えば絶縁性の材料を用いた場合は、磁気シールド層 2 1 には、絶縁性の材料に限られず、導電性の材料を用いることも可

能である。一方、磁気シールド層 51 に例えば導電性の材料を用いた場合は、隣接する第 2 の配線 20 がショートすることを防止するために、磁気シールド層 21 には絶縁性の材料を用いることが望ましい。

【0120】尚、第 2 の配線 20 上の磁気シールド層 51 は必ずしも形成する必要はなく、第 2 の配線 20 上に磁気シールド層 21 を直接形成してもよい。

【0121】図 33 は、本発明の第 8 の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第 8 の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第 1 の実施形態と同様の工程については説明を省略する。

【0122】まず、図 2 (a)、2 (b)、2 (c) 乃至図 8 (a)、8 (b)、8 (c) に示すように、第 2 の配線 20 をマスクとして用いて、第 2 の配線 20 間に露出している第 2 の層間絶縁膜 19 が、第 1 の層間絶縁膜 12 及び第 1 の配線 13 が露出まで除去される。

【0123】次に、図 33 に示すように、第 2 の配線 20 上に磁気シールド層 51 が形成される。次に、第 2 の層間絶縁膜 19 (図示せず)、第 2 の配線 20 及び MTJ 素子 18 の側面に側壁絶縁膜 61 が形成される。

【0124】次に、図 32 に示すように、磁気シールド層 51 及び側壁絶縁膜 61 を覆うように、磁気シールド層 21 が形成される。次に、磁気シールド層 21 上に、第 3 の層間絶縁膜 22 が堆積される。これにより、MRAM のメモリアルレイ部が完成する。

【0125】上記第 8 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【0126】さらに、第 8 の実施形態では、第 2 の配線 20 及び MTJ 素子 18 の側面を側壁絶縁層 61 で覆っている。このため、磁気シールド層 21 を隣接する第 2 の配線 20 を跨いで連続して形成した場合であっても、磁気シールド層 21 の材料は、絶縁性の材料に限定されことなく、導電性の材料を用いることもできる。このため、磁気シールド層 21 の材料の選択性を向上させることができる。

【0127】尚、第 8 の実施形態は、第 1 の実施形態の構造に適用したが、これに限定されない。例えば、図 34 (a)、34 (b) に示すように、上記第 2 の実施形態のようにスイッチング素子としてダイオード 32 を備えた磁気記憶装置に適用することも可能であるし、例えば、図 35 (a)、35 (b) に示すように、上記第 3 の実施形態のようにスイッチング素子として MOSFET 44 を備えた磁気記憶装置に適用することも可能である。

【0128】また、図 30、図 34 (a)、34

(b)、図 35 (a)、35 (b) において、磁気シールド層 21 は、隣接する第 2 の配線 20 を跨いで連続して形成されているが、これに限定されない。例えば、図 36、図 37 (a)、37 (b)、図 38 (a)、38

(b) に示すように、隣接する第 2 の配線 20 間及び磁気シールド層 51 上の磁気シールド層 21 を除去し、磁気シールド層 21 を第 2 の配線 20 毎に分断してもよい。この場合、磁気シールド層 21、51 は、絶縁性の材料及び導電性の材料のどちらの材料でも用いることが可能である。

【0129】[第 9 の実施形態] 第 9 の実施形態は、第 1 の実施形態の変形例であり、MTJ 素子の側面を絶縁層で覆い、磁気シールド層を隣接する第 2 の配線を跨いで形成した例である。

【0130】図 39 は、本発明の第 9 の実施形態に係る磁気記憶装置の断面図を示す。以下に、第 9 の実施形態に係る磁気記憶装置の構造について説明する。尚、第 1 の実施形態と異なる構造のみ説明する。

【0131】図 39 に示すように、第 9 の実施形態に係る磁気記憶装置は、第 2 の配線 20 の幅が MTJ 素子 18 の幅よりも大きくなっており、第 2 の配線 20 の側面よりも窪んだ MTJ 素子 19 の側面には側壁絶縁層 19a が形成されている。そして、側壁絶縁層 19a 及び第 2 の配線 20 を覆うように磁気シールド層 21 が形成され、この磁気シールド層 21 は隣接する第 2 の配線 20 を跨いで連続して形成されている。

【0132】尚、第 9 の実施形態では、導電性の材料からなる磁気シールド層 21 を隣接する第 2 の配線 20 を跨いで形成した場合、第 1 の配線 13 の延在方向に隣接する MTJ 素子 18 は側壁絶縁膜 19a によって電氣的に分離されているが、隣接する第 2 の配線 20 は電氣的に分離されていない。このため、第 9 の実施形態では、磁気シールド層 21 には、絶縁性の材料を用いることが望ましい。

【0133】図 40 は、本発明の第 9 の実施形態に係る磁気記憶装置の製造工程の断面図を示す。以下に、第 9 の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第 1 の実施形態と同様の工程については説明を省略する。

【0134】まず、図 2 (a)、2 (b)、2 (c) 乃至図 6 (a)、6 (b)、6 (c) に示すように、セル毎に分離された島状の MTJ 素子 18 が形成される。次に、MTJ 素子 18 及び第 1 の配線 13 上に第 2 の層間絶縁膜 19 が形成され、この第 2 の層間絶縁膜 19 が MTJ 素子 18 の表面が露出するまで CMP 又はエッチバック法を用いて平坦化される。

【0135】次に、図 40 に示すように、MTJ 素子 18 及び第 2 の層間絶縁膜 19 上に、第 1 の配線 13 の延在方向と直交するように、第 2 の配線 20 が形成される。ここで、第 2 の配線 20 は、第 2 の配線 20 の幅が MTJ 素子 18 の幅よりも大きくなるように形成される。

【0136】次に、図 39 に示すように、第 2 の配線 20 をマスクとして用いて、第 2 の配線 20 間に露出して

いる第2の層間絶縁膜19が、第1の層間絶縁膜12及び第1の配線13が露出まで除去される。これにより、MTJ素子18の側面には、第2の層間絶縁膜19からなる側壁絶縁層19aが形成される。次に、第2の配線20、第1の層間絶縁膜12及び第1の配線13上に、磁気シールド層21が形成される。次に、磁気シールド層21上に第3の層間絶縁膜22が堆積される。これにより、MRAMのメモリセルアレイ部が完成する。

【0137】上記第9の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0138】尚、第9の実施形態は、第1の実施形態の構造に適用したが、これに限定されない。例えば、図41(a)、41(b)に示すように、上記第2の実施形態のようにスイッチング素子としてダイオード32を備えた磁気記憶装置に適用することも可能であるし、例えば、図42(a)、42(b)に示すように、上記第3の実施形態のようにスイッチング素子としてMOSFET44を備えた磁気記憶装置に適用することも可能である。

【0139】また、図39、図41(a)、41(b)、図42(a)、42(b)において、磁気シールド層21は、隣接する第2の配線20を跨いで連続して形成されているが、これに限定されない。例えば、図43、図44(a)、44(b)、図45(a)、45(b)に示すように、隣接する第2の配線20間及び磁気シールド層51上の磁気シールド層21を除去し、磁気シールド層21を第2の配線20毎に分断してもよい。この場合、磁気シールド層21は、絶縁性の材料及び導電性の材料のどちらの材料でも用いることが可能である。

【0140】また、図43、図44(a)、44(b)、図45(a)、45(b)において、第2の配線20上に磁気シールド層21は残していないが、これに限定されない。例えば、図46、図47(a)、47(b)、図48(a)、48(b)に示すように、第2の配線20上に磁気シールド層51を形成してもよい。この場合、磁気シールド層21、51は、絶縁性の材料及び導電性の材料のどちらの材料でも用いることが可能である。これらの構造によれば、誤書き込みの抑制や選択セルへの磁場集中の効果をさらに高めることができる。

【0141】[第10の実施形態] 第10の実施形態は、第1の実施形態と同様の構造であるが、MTJ素子のパターンニング方法が異なる。

【0142】図49乃至図52は、本発明の第10の実施形態に係る磁気記憶装置の製造工程の斜視図を示す。以下に、第10の実施形態に係る磁気記憶装置の製造方法について説明する。尚、第1の実施形態と同様の工程は簡単に説明する。

【0143】まず、図49に示すように、第1の実施形

態と同様に、半導体基板11上に第1の層間絶縁膜12及び第1の配線13が形成される。次に、第1の層間絶縁膜12及び第1の配線13上に、磁化固着層14とトンネル接合層15と磁気記録層16とからなるTMR材料層17が形成される。次に、マスク材(図示せず)を用いて、TMR材料層17が選択的にエッチングされ、第1の配線13の延在方向に伸びる直線状のTMR材料層17が形成される。次に、TMR材料層17及び第1の層間絶縁膜12上に第2の層間絶縁膜19が形成され、この第2の層間絶縁膜19がTMR材料層17の表面が露出するまでCMP又はエッチバック法を用いて平坦化される。

【0144】次に、図50に示すように、TMR材料層17及び第2の層間絶縁膜19上に、第1の配線13の延在方向と直交するように、第2の配線20が形成される。

【0145】次に、図51に示すように、第2の配線20をマスクとして用いて、第2の配線20間に露出している第2の層間絶縁膜19及びTMR材料層17が、第1の層間絶縁膜12及び第1の配線13が露出まで除去される。これにより、セル毎に分離された島状のMTJ素子18が形成される。

【0146】次に、図52に示すように、第2の配線20、第1の層間絶縁膜12及び第1の配線13上に、磁気シールド層21が形成される。

【0147】その後は、第1の実施形態と同様に、図1(a)、1(b)、1(c)に示すように、磁気シールド層21上に第3の層間絶縁膜22が堆積される。これにより、MRAMのメモリセルアレイ部が完成する。

【0148】上記第10の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0149】さらに、第10の実施形態では、MTJ素子18のパターニングは、まず直線状に加工し、続いて第2の配線20と自己整合的に加工することにより行われる。このため、本来リソグラフィ技術のみでは実現できない、例えば長方形のMTJ素子18を形成することが可能である。従って、例えば、磁化の反転閾値を下げることににより、書き込みに必要な電流量を減少することができる。さらに、MTJ素子18毎の形状のばらつきが抑制できるため、MTJ素子18毎の書き込み電流の閾値のばらつきを抑制できる。これにより、メモリセル全体としての消費電力を抑え、書き込みの誤りが生じ難いメモリを形成することが可能になる。

【0150】尚、上記第10の実施形態に係る製造方法は、第1の実施形態に適用して説明したが、第2の配線とMTJ素子の幅が等しくなる構造であれば、上記第2乃至第8の実施形態にも適用することも可能である。

【0151】[第11の実施形態] 第11の実施形態は、第1乃至第3の実施形態の変形例であり、第2の配線だけでなく第1の配線も磁気シールド層で覆う例であ

る。

【0152】図53(a)、53(b)、54(a)、54(b)、55(a)、55(b)は、本発明の第1の実施形態に係る磁気記憶装置の断面図を示す。ここで、図53(a)、53(b)は、スイッチング素子を設けない第1の実施形態の変形例を示し、図54

(a)、54(b)は、スイッチング素子としてダイオード32を設けた第2の実施形態の変形例を示し、図55(a)、55(b)は、スイッチング素子としてトランジスタ44を設けた第3の実施形態の変形例を示す。以下に、第11の実施形態に係る磁気記憶装置の構造について説明する。尚、第1の実施形態と異なる構造のみ説明する。

【0153】図53(a)、53(b)、54(a)、54(b)、55(a)、55(b)に示すように、第11の実施形態に係る磁気記憶装置は、第1の配線13の底面及び側面にも、磁気シールド層62が形成されている。この磁気シールド層62は、セル毎に分断されているため、絶縁性の材料で形成してもよいし、導電性の材料で形成してもよい。

【0154】尚、第1の配線13がダマシン構造の場合、磁気シールド層62は、例えば次のような方法で形成される。まず、絶縁膜12内に第1の配線用の溝が形成される。そして、この溝内に磁気シールド層62が形成され、この磁気シールド層62上に第1の配線用の材料層が形成される。その後、CMP又はエッチバックにより、磁気シールド層62及び材料層が絶縁膜12の表面が露出するまで平坦化される。これにより、第1の配線13の底面及び側面に磁気シールド層62が形成された構造がなし得る。

【0155】上記第11の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0156】さらに、第11の実施形態では、第1の配線13の底面及び側面が、磁気シールド層62で覆われている。このため、磁気シールド層62が十分にヨークとしての効果を発揮し、第1の配線13の作る電流磁界を選択セルに効率的に印加することができる。従って、第1の配線13に流す書きこみ電流を低減できるため、消費電力をさらに低減することができる。

【0157】また、磁気シールド層62で第1の配線13を覆うことにより、第2の配線20の延在方向に配置された隣接するMTJ素子18への漏れ磁界をより効率的に遮断することができる。従って、誤書き込みを抑制することができる。

【0158】また、磁気シールド層62は、隣接する第1の配線13毎に分断している。従って、磁気シールド層62の材料は、絶縁性の材料に限らず、導電性の材料を用いることもできるため、磁気シールド層62の材料の選択性を向上させることができる。

【0159】〔第12の実施形態〕第12の実施形態

は、第11の実施形態の変形例であり、磁気シールド層をバリアメタルで挟んだ構造である。

【0160】図56(a)、56(b)、57(a)、57(b)、58(a)、58(b)は、本発明の第12の実施形態に係る磁気記憶装置の断面図を示す。ここで、図56(a)、56(b)は、スイッチング素子を設けない第1の実施形態の変形例を示し、図57

(a)、57(b)は、スイッチング素子としてダイオード32を設けた第2の実施形態の変形例を示し、図58(a)、58(b)は、スイッチング素子としてトランジスタ44を設けた第3の実施形態の変形例を示す。以下に、第12の実施形態に係る磁気記憶装置の構造について説明する。尚、第11の実施形態と異なる構造のみ説明する。

【0161】図56(a)、56(b)、57(a)、57(b)、58(a)、58(b)に示すように、第12の実施形態に係る磁気記憶装置は、第2の配線20の上面及び側面に形成された磁気シールド層21をバリアメタル層63、64で挟み、第1の配線13の底面及び側面に形成された磁気シールド層62をバリアメタル層65、66で挟んでいる。

【0162】磁気シールド層21、62の内側に形成されたバリアメタル層63、65は、例えば、Co、CoFeのような材料が用いられる。一方、磁気シールド層21、62の外側に形成されたバリアメタル層64、66は、例えば、Ta、Ta₂N、TaSiNのような材料が用いられる。

【0163】尚、第1の配線13がダマシン構造の場合、磁気シールド層62及びバリアメタル層65、66は、例えば次のような方法で形成される。まず、絶縁膜12内に第1の配線用の溝が形成される。そして、この溝内にバリアメタル層66、磁気シールド層62、バリアメタル層65が順に形成され、この磁気シールド層62上に第1の配線用の材料層が形成される。その後、CMP又はエッチバックにより、バリアメタル層65、66、磁気シールド層62及び材料層が絶縁膜12の表面が露出するまで平坦化される。これにより、バリアメタル層65、66で挟まれた磁気シールド層62が、第1の配線13の底面及び側面に形成される。

【0164】上記第12の実施形態によれば、第11の実施形態と同様の効果を得ることができる。

【0165】さらに、第12の実施形態では、磁気シールド層21、62の内側及び外側にバリアメタル層63、64、65、66を設けることで、次のような効果がそれぞれ得られる。

【0166】バリアメタル層63を第2の配線20と磁気シールド層21との間に設けることで、磁気シールド層21と第2の配線20とが反応することを抑制し、磁気シールドの性能(ヨーク性能)を向上することができ、さらに第2の配線20における配線抵抗の上昇も抑

制できる。

【0167】バリアメタル層64を磁気シールド層21と層間絶縁膜22との間に設けることで、磁気シールド層21と上層膜である層間絶縁膜22との密着性を向上することができ、さらに磁気シールド層21のシールド材料が層間絶縁膜22に拡散することを防止できる。

【0168】バリアメタル層65を第1の配線13と磁気シールド層62との間に設けることで、磁気シールド層62と第1の配線13とが反応することを抑制し、ヨーク性能を向上することができ、さらに第1の配線13における配線抵抗の上昇も抑制できる。

【0169】バリアメタル層66を磁気シールド層62と層間絶縁膜12との間に設けることで、磁気シールド層62と下地である層間絶縁膜12との密着性を向上することができ、さらに磁気シールド層62のシールド材料が層間絶縁膜12に拡散することを防止できる。

【0170】[第13の実施形態] 第13の実施形態は、スイッチング素子を用いない磁気記憶装置の変形例である。

【0171】図59、60は、本発明の第13の実施形態に係る磁気記憶装置の斜視図を示す。以下に、第13の実施形態に係る磁気記憶装置の構造について説明する。尚、図53(a)、53(b)の構造と異なる部分を中心に説明する。

【0172】図59に示す構造は、第1の配線13が、書き込みワード線13aと読み出しワード線13bとに分かれている。書き込みワード線13aは、第2の配線(ビット線)20と例えば直交するように延在され、MTJ素子18と離間して配置されている。一方、読み出しワード線13bは、書き込みワード線13aと同一面上に平行して延在され、下部金属層67及びコンタクト68を介してMTJ素子18と接続されている。これら書き込み及び読み出しワード線13a、13bの側面及び底面には、磁気シールド層62a、62bがそれぞれ形成されている。

【0173】図60に示す構造も、第1の配線13が、書き込みワード線13aと読み出しワード線13bとに分かれている。書き込みワード線13aは、第2の配線(ビット線)20と例えば直交するように延在され、MTJ素子18と離間して配置されている。この書き込みワード線13aの側面及び底面には、磁気シールド層62aが形成されている。一方、読み出しワード線13bは、書き込みワード線13aと平行して延在され、MTJ素子18と書き込みワード線13a間に配置され、MTJ素子18に接している。

【0174】上記第13の実施形態によれば、第11の実施形態と同様の効果を得ることができる。

【0175】さらに、第13の実施形態では、第1の配線13が、書き込みワード線13aと読み出しワード線13bとに分かれている。このため、図53(a)、5

3(b)のような単純なクロスポイント構造と比べて、読み出し信号を大きく取ることができ、読み出し速度を向上することができる。

【0176】また、書き込み線と読み出し線が一部分離されることにより、書き込み時にトンネル接合層15にかかる電圧バイアスをなくすことができ、信頼性の向上を図ることができる。

【0177】また、第13の実施形態では、スイッチ素子がないことでセルサイズを小さくでき、多層化への展開も容易になる。

【0178】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0179】

【発明の効果】以上説明したように本発明によれば、誤書き込みの抑制及び選択セルへの磁場集中が可能な磁気記憶装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1の実施形態に係わる半導体記憶装置を示す斜視図、図1(b)は図1(a)のIB-IB線に沿った半導体記憶装置の断面図、図1(c)は図1(a)のIC-IC線に沿った半導体記憶装置の断面図。

【図2】図2(a)、(b)は、本発明の各実施形態に係わる1重トンネル接合構造のTMR素子を示す断面図。

【図3】図3(a)、(b)は、本発明の各実施形態に係わる2重トンネル接合構造のTMR素子を示す断面図。

【図4】図4(a)は本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す斜視図、図4(b)は図4(a)のIVB-IVB線に沿った半導体記憶装置の断面図、図4(c)は図4(a)のIVC-IVC線に沿った半導体記憶装置の断面図。

【図5】図5(a)は、図4(a)に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す斜視図、図5(b)は図5(a)のVB-VB線に沿った半導体記憶装置の断面図、図5(c)は図5(a)のVC-VC線に沿った半導体記憶装置の断面図。

【図6】図6(a)は、図5(a)に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す斜視図、図6(b)は図6(a)のVIB-VIB線に沿っ

態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図 16】図 16 (a) は本発明の第 3 の実施形態に係わる半導体記憶装置を示す第 1 の配線の延在方向における断面図、図 16 (b) は本発明の第 3 の実施形態に係わる半導体記憶装置を示す第 2 の配線の延在方向における断面図。

【図 17】図 17 (a) は本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す第 1 の配線の延在方向における断面図、図 17 (b) は本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す第 2 の配線の延在方向における断面図。

【図18】図18(a)は、図17(a)に続く、本発明の第3の実施形態に係わる半導体記憶装置の製造工程を示す第1の配線の延在方向における断面図、図18

(b)は、図17(b)に続く、本発明の第3の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図 19】図 19 (a) は、図 18 (a) に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す第 1 の配線の延在方向における断面図。図 19

(b)は、図18(b)に続く、本発明の第3の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図 20】図 20 (a) は、図 19 (a) に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す第 1 の配線の延在方向における断面図、図 20

(b)は、図19(b)に続く、本発明の第3の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図 21】図 21 (a) は、図 20 (a) に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す第 1 の配線の延在方向における断面図、図 21

(b)は、図20(b)に続く、本発明の第3の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図 22】図 22 (a) は本発明の第 4 の実施形態に係る半導体記憶装置を示す斜視図、図 22 (b) は図 22 (a) のXXIIB-XXIIB線に沿った半導体記憶装置の

断面図、図 2 2 (c) は図 2 2 (a) のXXII C-XXII C 線に沿った半導体記憶装置の断面図。

【図 23】図 23 (a) は本発明の第 4 の実施形態に係わる半導体記憶装置の製造工程を示す斜視図。図 23

(b)は図23(a)のXXIIIB-XXIIIB線に沿った半導体記憶装置の断面図、図23(c)は図23(a)のXXIIIC-XXIIIC線に沿った半導体記憶装置の断面図。
【図24】図24(a)は本発明の第5の実施形態に係わる半導体記憶装置を示す第1の配線の延在方向における断面図、図24(b)は本発明の第5の実施形態に係わる半導体記憶装置を示す第2の配線の延在方向におけ

る断面図。

【図25】図25(a)は本発明の第5の実施形態に係わる半導体記憶装置の製造工程を示す第1の配線の延在方向における断面図、図25(b)は本発明の第5の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図26】図26(a)は本発明の第6の実施形態に係わる半導体記憶装置を示す第1の配線の延在方向における断面図、図26(b)は本発明の第6の実施形態に係わる半導体記憶装置を示す第2の配線の延在方向における断面図。

【図27】図27(a)は本発明の第6の実施形態に係わる半導体記憶装置の製造工程を示す第1の配線の延在方向における断面図、図27(b)は本発明の第6の実施形態に係わる半導体記憶装置の製造工程を示す第2の配線の延在方向における断面図。

【図28】本発明の第7の実施形態に係わる半導体記憶装置を示す断面図。

【図29】本発明の第7の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図30】図30(a)、(b)は本発明の第7の実施形態に係わるスイッチング素子としてのダイオードを有する半導体記憶装置を示す断面図、図30(a)は第2の配線の延在方向に対して垂直方向の断面図、図30(b)は第1の配線の延在方向に対して垂直な断面図。

【図31】図31(a)、(b)は本発明の第7の実施形態に係わるスイッチング素子としてのMOSFETを有する半導体記憶装置を示す断面図、図31(a)は第2の配線の延在方向に対して垂直方向の断面図、図31(b)は第1の配線の延在方向に対して垂直な断面図。

【図32】本発明の第8の実施形態に係わる半導体記憶装置を示す断面図。

【図33】本発明の第8の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図34】図34(a)、(b)は本発明の第8の実施形態に係わるスイッチング素子としてのダイオードを有する半導体記憶装置を示す断面図、図34(a)は第2の配線の延在方向に対して垂直方向の断面図、図34(b)は第1の配線の延在方向に対して垂直な断面図。

【図35】図35(a)、(b)は本発明の第8の実施形態に係わるスイッチング素子としてのMOSFETを有する半導体記憶装置を示す断面図、図35(a)は第2の配線の延在方向に対して垂直方向の断面図、図35(b)は第1の配線の延在方向に対して垂直な断面図。

【図36】本発明の第8の実施形態に係わる他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断されている断面図。

【図37】図37(a)、(b)は本発明の第8の実施形態に係わるスイッチング素子としてのダイオードを有する他の半導体記憶装置を示す、磁気シールド層が第2

の配線毎に分断されている断面図、図37(a)は第2の配線の延在方向に対して垂直方向の断面図、図37(b)は第1の配線の延在方向に対して垂直な断面図。

【図38】図38(a)、(b)は本発明の第8の実施形態に係わるスイッチング素子としてのMOSFETを有する他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断されている断面図、図38(a)は第2の配線の延在方向に対して垂直方向の断面図、図38(b)は第1の配線の延在方向に対して垂直な断面図。

【図39】本発明の第9の実施形態に係わる半導体記憶装置を示す断面図。

【図40】本発明の第9の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図41】図41(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのダイオードを有する半導体記憶装置を示す断面図、図41(a)は第2の配線の延在方向に対して垂直方向の断面図、図41(b)は第1の配線の延在方向に対して垂直な断面図。

【図42】図42(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのMOSFETを有する半導体記憶装置を示す断面図、図42(a)は第2の配線の延在方向に対して垂直方向の断面図、図42(b)は第1の配線の延在方向に対して垂直な断面図。

【図43】本発明の第9の実施形態に係わる他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断されている断面図。

【図44】図44(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのダイオードを有する他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断されている断面図、図44(a)は第2の配線の延在方向に対して垂直方向の断面図、図44(b)は第1の配線の延在方向に対して垂直な断面図。

【図45】図45(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのMOSFETを有する他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断されている断面図、図45(a)は第2の配線の延在方向に対して垂直方向の断面図、図45(b)は第1の配線の延在方向に対して垂直な断面図。

【図46】本発明の第9の実施形態に係わる他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断され、かつ第2の配線上に形成されている断面図。

【図47】図47(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのダイオードを有する他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断され、かつ第2の配線上に形成されている断面図、図47(a)は第2の配線の延在方向に対して垂直方向の断面図、図47(b)は第1の配線の延在方向に対して垂直な断面図。

【図48】図48(a)、(b)は本発明の第9の実施形態に係わるスイッチング素子としてのMOSFETを

有する他の半導体記憶装置を示す、磁気シールド層が第2の配線毎に分断され、かつ第2の配線上に形成されている断面図、図48(a)は第2の配線の延在方向に対して垂直方向の断面図、図48(b)は第1の配線の延在方向に対して垂直な断面図。

【図49】本発明の第10の実施形態に係わる半導体記憶装置の製造工程を示す斜視図。

【図50】図49に続く、本発明の第10の実施形態に係わる半導体記憶装置の製造工程を示す斜視図。

【図51】図50に続く、本発明の第10の実施形態に係わる半導体記憶装置の製造工程を示す斜視図。

【図52】図51に続く、本発明の第10の実施形態に係わる半導体記憶装置の製造工程を示す斜視図。

【図53】図53(a)、(b)は、本発明の第11の実施形態に係わるスイッチング素子を設けない磁気記憶装置を示す断面図。

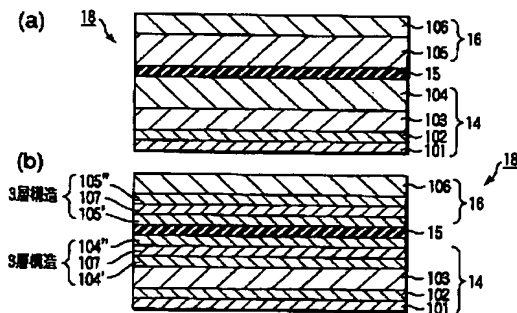
【図54】図54(a)、(b)は、本発明の第11の実施形態に係わるスイッチング素子としてのダイオードを有する磁気記憶装置を示す断面図。

【図55】図55(a)、(b)は、本発明の第11の実施形態に係わるスイッチング素子としてのMOSFETを有する磁気記憶装置を示す断面図。

【図56】図56(a)、(b)は、本発明の第12の実施形態に係わるスイッチング素子を設けない磁気記憶装置を示す断面図。

【図57】図57(a)、(b)は、本発明の第12の実施形態に係わるスイッチング素子としてのダイオードを有する磁気記憶装置を示す断面図。

【図2】



【図58】図58(a)、(b)は、本発明の第12の実施形態に係わるスイッチング素子としてのMOSFETを有する磁気記憶装置を示す断面図。

【図59】本発明の第13の実施形態に係わる磁気記憶装置を示す斜視図。

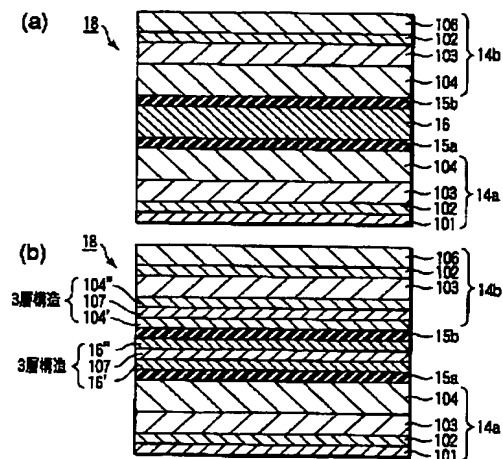
【図60】本発明の第13の実施形態に係わる他の磁気記憶装置を示す斜視図。

【図61】従来技術による半導体記憶装置を示す断面図。

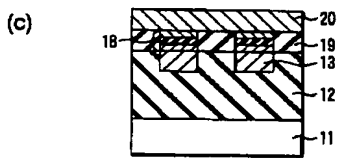
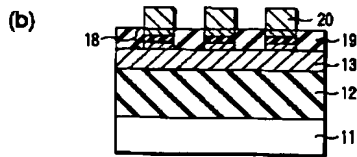
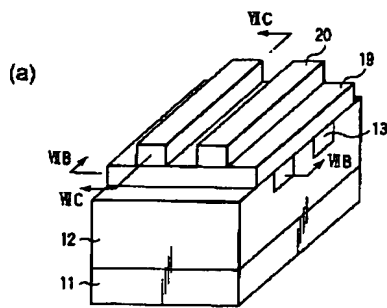
【符号の説明】

11…半導体基板、12…第1の層間絶縁膜、13…第1の配線、13a…書き込みワード線、13b…読み出しワード線、14、14a、14b…磁化固着層、15、15a、15b…トンネル接合層、16…磁気記録層、17…TMR材料層、18…TMR素子、19…第2の層間絶縁膜、19a、61…側壁絶縁層、20…第2の配線、21、21a、51、62、62a、62b…磁気シールド層、22…第3の層間絶縁膜、31…ダイオード材料層、32…ダイオード、41…ゲート絶縁膜、42…ゲート電極、43…ソース/ドレイン拡散層、44…MOSFET、45、68…コンタクト、46…第4の層間絶縁膜、47…下部電極材料層、48…下部電極、63、64、65、66…バリアメタル層、67…下部金属層、101…テンプレート層、102…初期強磁性層、103…反強磁性層、104、104'、104''…基準強磁性層、105、105'、105''…自由記録層、106…接点層、107…非磁性層。

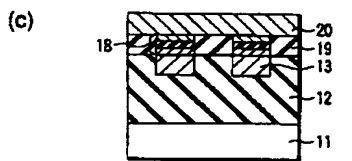
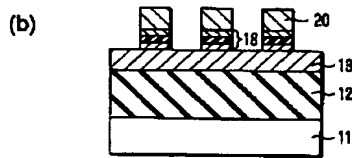
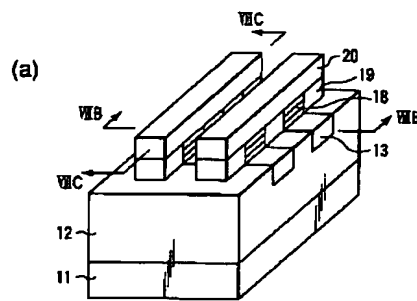
【図3】



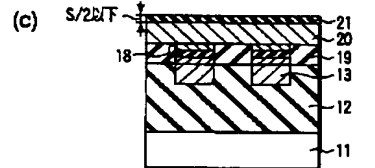
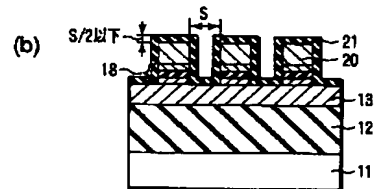
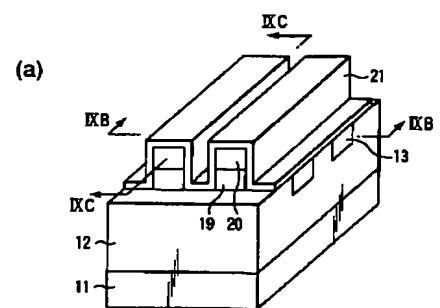
【図 7】



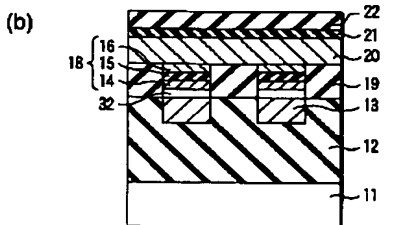
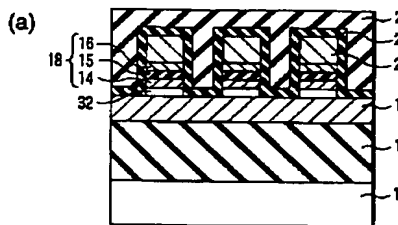
【図 8】



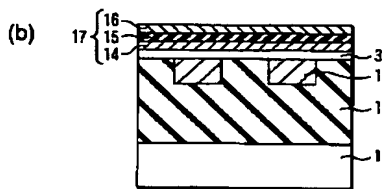
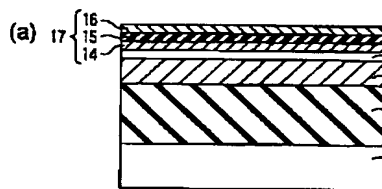
【図 9】



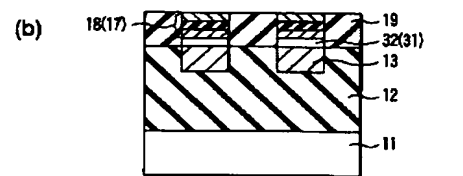
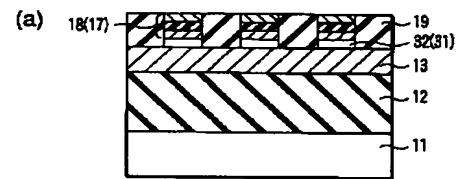
【図 10】



【図 12】

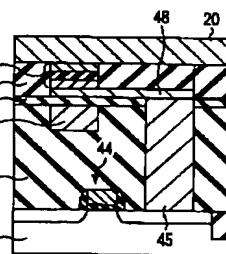
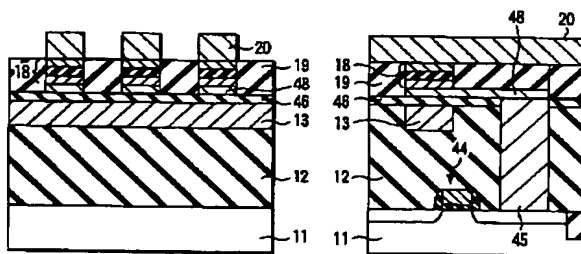
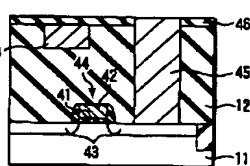
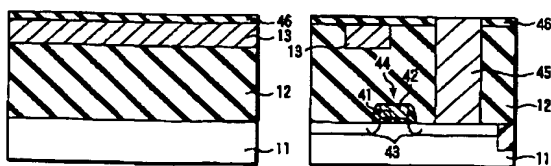


【図 13】

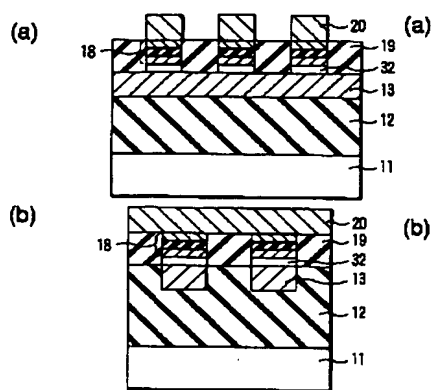


【図 20】

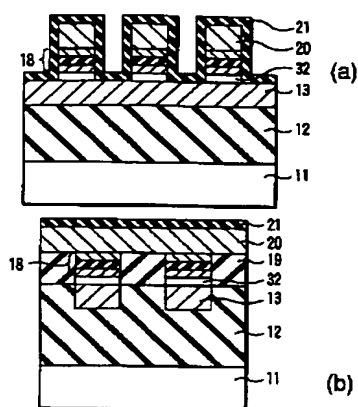
【図 17】



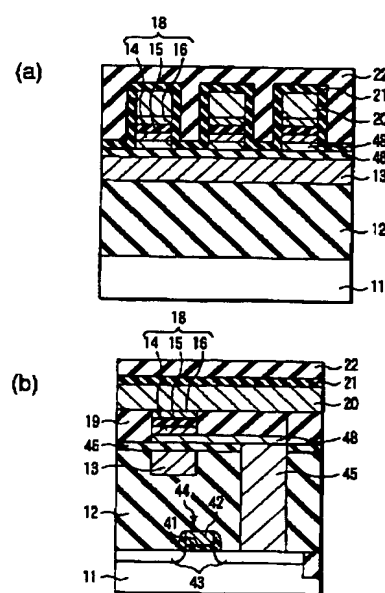
【图 14】



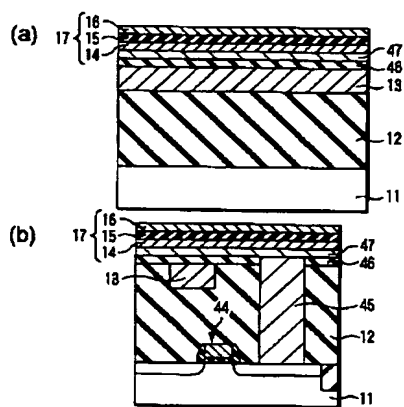
【图 15】



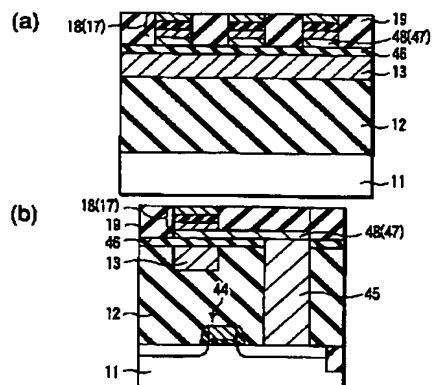
【图 16】



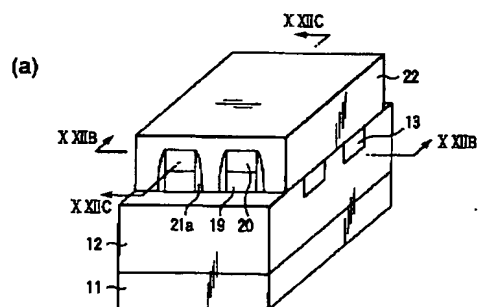
【图 18】



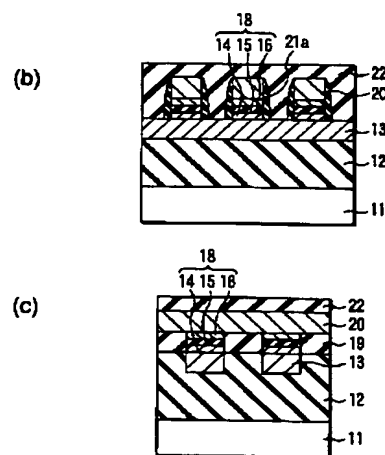
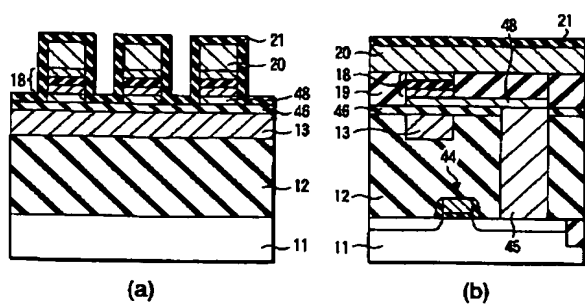
【图 19】



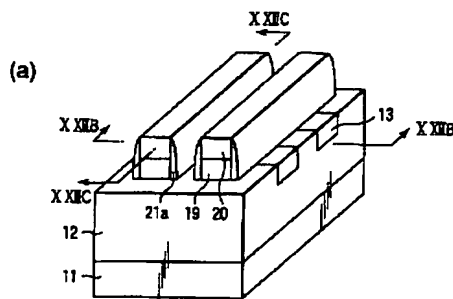
【图 22】



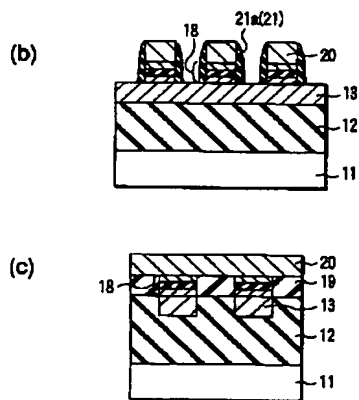
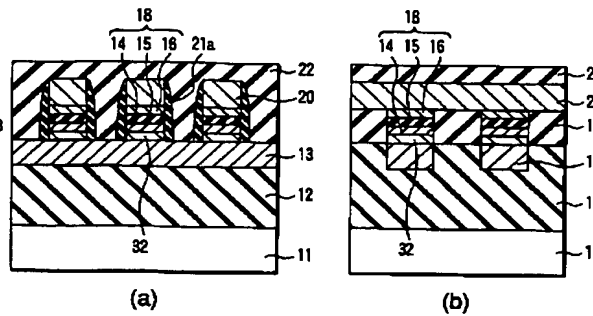
【图 21】



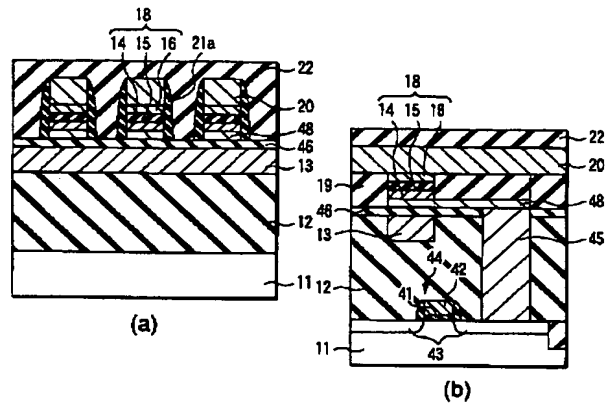
【図 23】



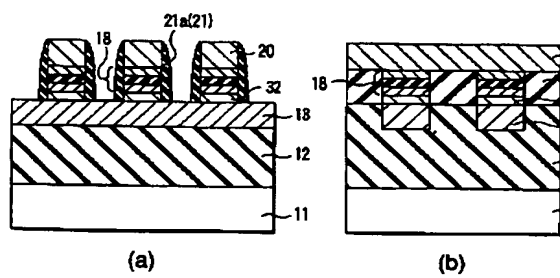
【図 24】



【図 26】

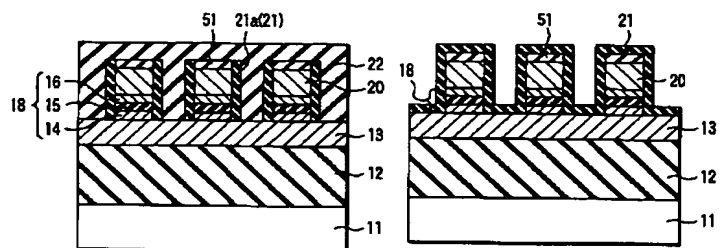


【図 25】

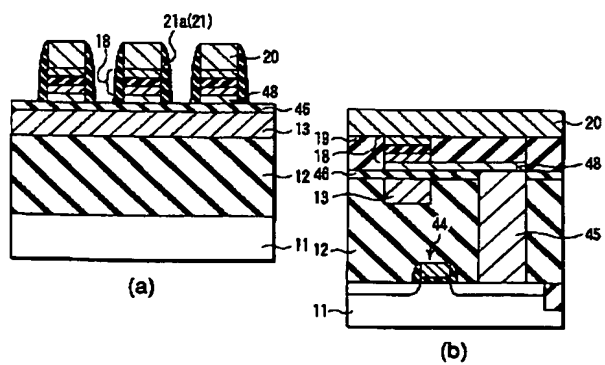


【図 28】

【図 29】

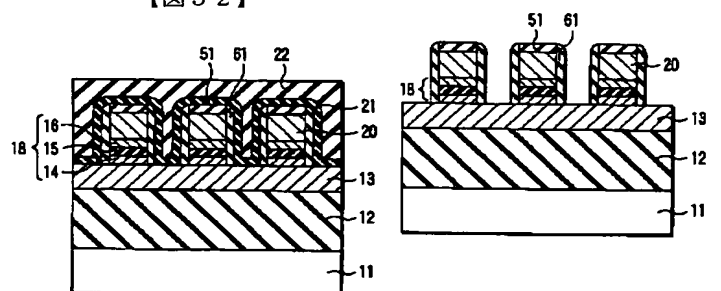


【図 27】

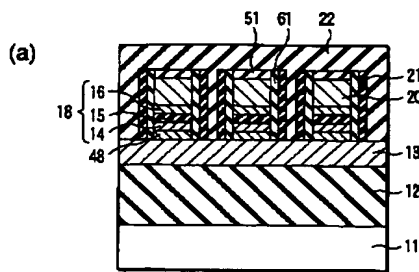


【図 32】

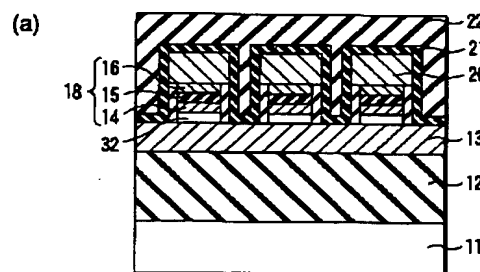
【図 33】



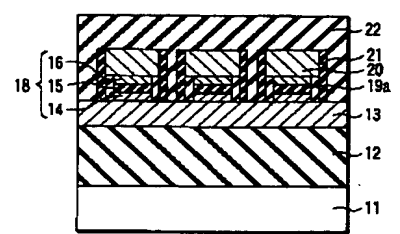
【図 3 8】



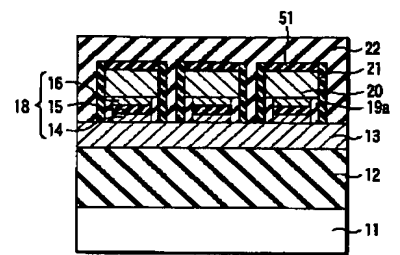
【図 4 1】



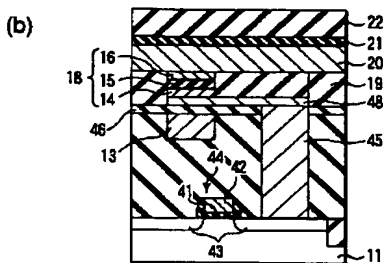
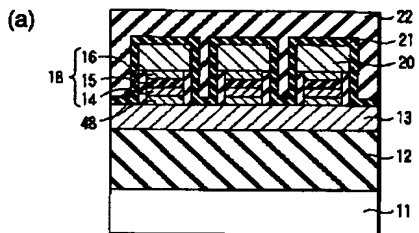
【図 4 3】



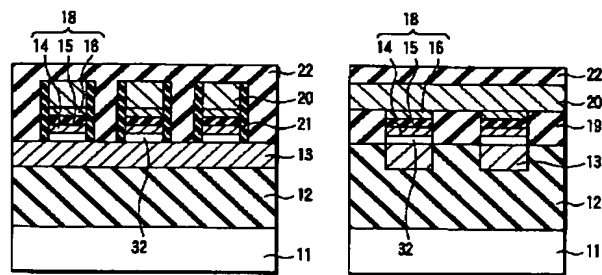
【図 4 6】



【図 4 2】



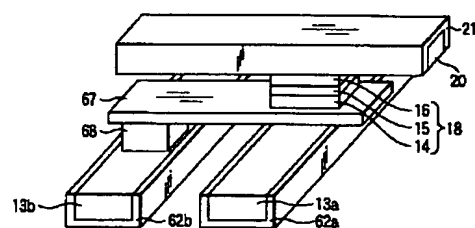
【図 4 4】



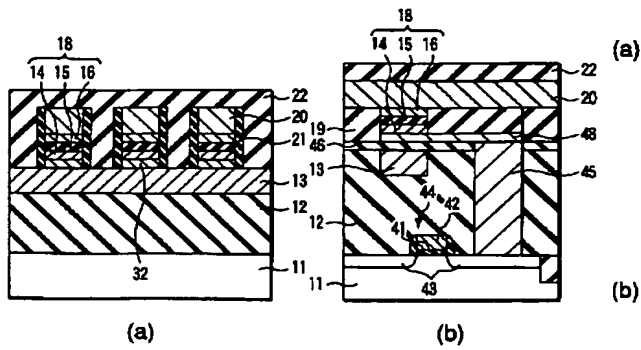
(a)

(b)

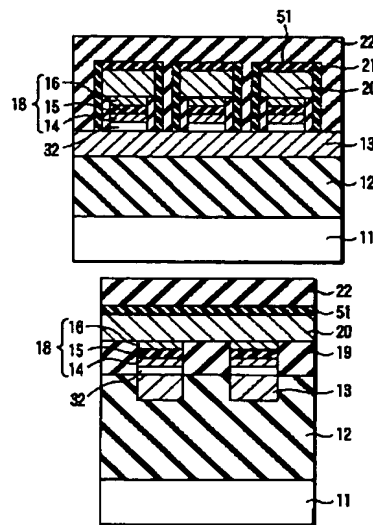
【図 5 9】



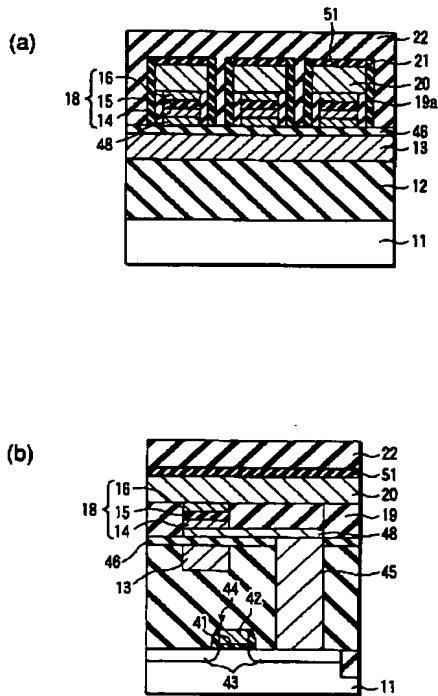
【圖 45】



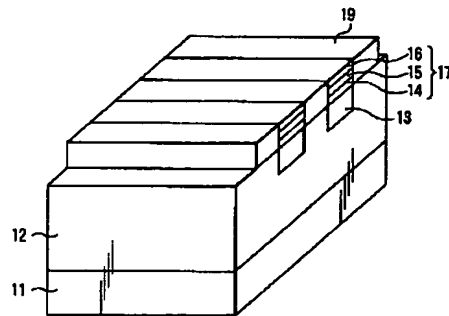
【圖 47】



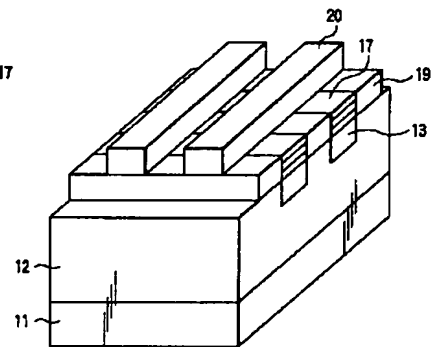
【圖 48】



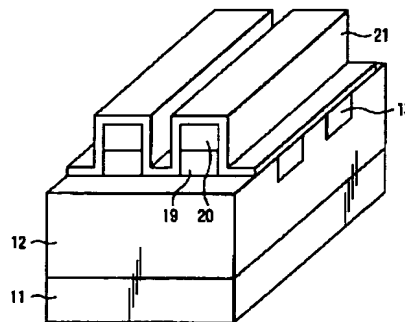
【圖 49】



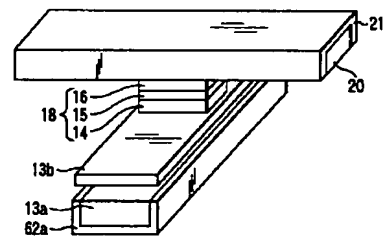
【圖 50】



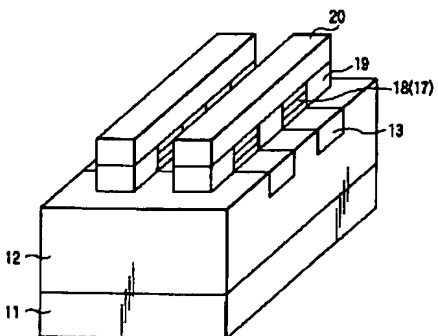
【圖 52】



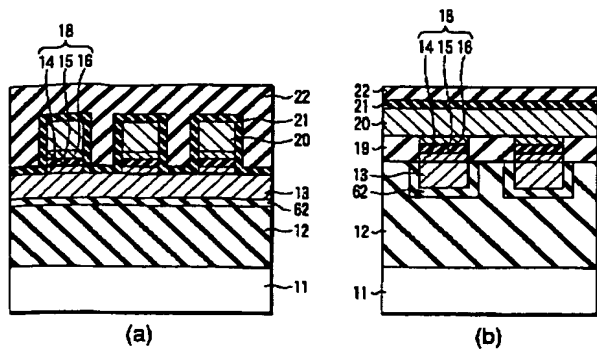
【圖 60】



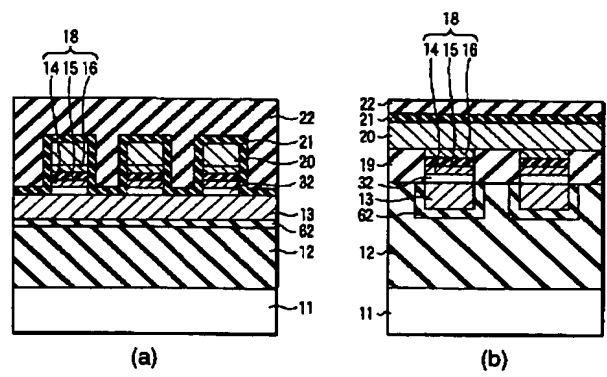
【圖 51】



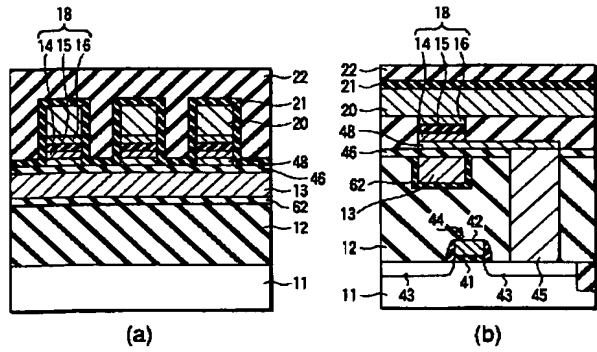
【図 5 3】



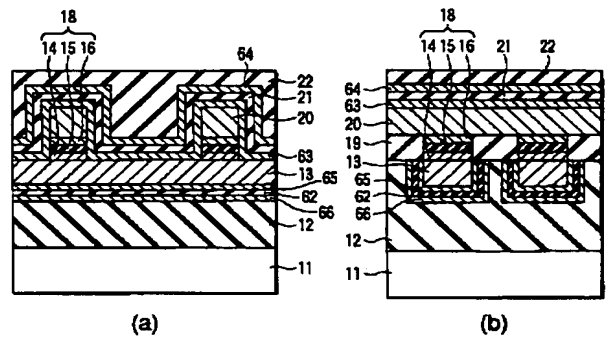
【図 5 4】



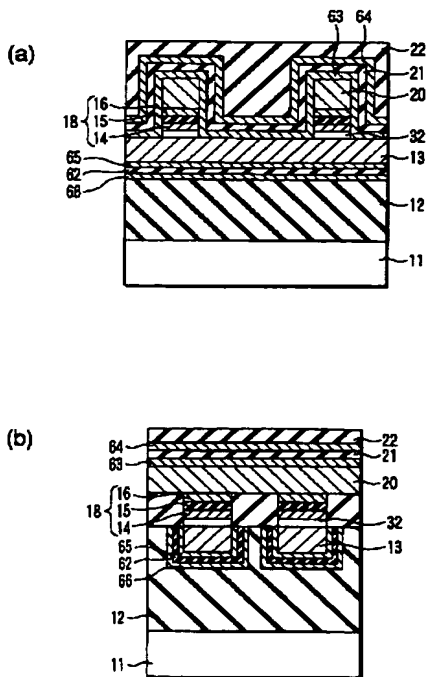
【図 5 5】



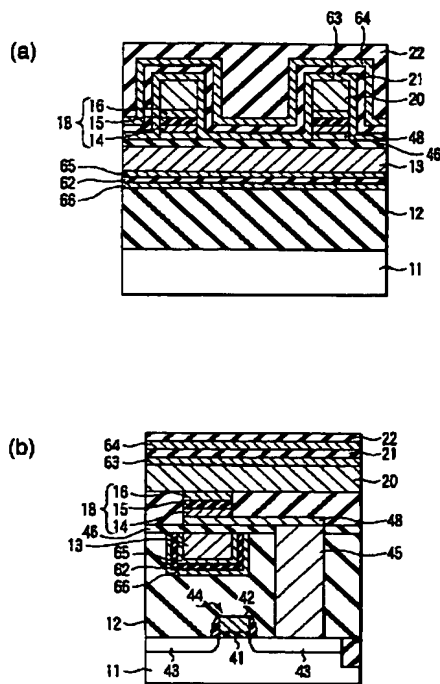
【図 5 6】



【図 5 7】



【図 5 8】



【図 6 1】

